

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Printed boards –
Part 20: Printed circuit boards for high-brightness LEDs**

**Cartes imprimées –
Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité**

IECNORM.COM : Click to view the full PDF of IEC 62326-20:2016



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2016 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Printed boards –

Part 20: Printed circuit boards for high-brightness LEDs

Cartes imprimées –

Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180

ISBN 978-2-8322-3152-4

Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

CONTENTS

FOREWORD.....	6
1 Scope.....	8
2 Normative references.....	8
3 Terms, definitions and abbreviations	8
3.1 Terms and definitions	8
3.2 Abbreviations	8
4 Classification and class of the printed circuit board for high-brightness LEDs.....	9
5 Design rules and allowance	10
5.1 Panel and board sizes	10
5.1.1 Board size	10
5.1.2 Allowance of dimensions	11
5.1.3 Perforation and slit.....	11
5.1.4 V-cut.....	12
5.2 Total board thickness	13
5.3 Holes	14
5.3.1 Insertion holes and vias	14
5.3.2 Datum hole	16
5.3.3 Assembly hole (a through-hole without wall plating)	16
5.4 Conductor	17
5.4.1 Width of conductor pattern and its allowance	17
5.4.2 Distance between conductors and its allowance.....	17
5.4.3 Thickness of the insulating layer.....	18
5.5 Printed contact.....	18
5.5.1 Allowance of the distance between the centers of two adjacent printed contacts.....	18
5.5.2 Allowance of the terminal width of printed contacts	19
5.5.3 Shift of the center of printed contacts on front and back sides of a board.....	19
5.6 Land pattern	20
5.6.1 Allowance of the distance between the centers of two lands.....	20
5.6.2 Allowance of the width of a land	20
5.6.3 Land diameter and its allowance for BGA/CSP.....	21
5.7 Fiducial mark and mark for component positioning	22
5.7.1 Typical form and size of the fiducial mark	22
5.7.2 Dimensional allowance of fiducial mark and component positioning mark	23
5.7.3 Position allowance of the component positioning mark	23
5.8 Interlayer connection – Copper plating.....	23
6 Quality	24
6.1 Gap between conductor and the wall of a component insertion hole or a via	24
6.2 Positional deviation between conductor layers of a multilayer board	24
6.3 Minimum land width.....	24
6.4 Surface treatment	25
6.4.1 Gold plating for printed contact.....	25
6.4.2 Other surface treatment	26
6.5 Defects of solder resist.....	26
6.6 Symbol mark	28
6.6.1 General	28

6.6.2	Conductor surface.....	28
6.6.3	Between conductors.....	28
6.6.4	Defects within insulating layers	29
6.6.5	Routing and drilling	30
6.6.6	Conductor pattern	30
6.7	Land	30
6.8	Land of a land pattern	31
6.9	Defects in a land for BGA/CSP mounting	32
6.10	Printed contact.....	32
7	Performance and test methods.....	34
7.1	Resistance of conductors	34
7.2	Current proof of conductor and plated through hole.....	35
7.3	Observation of component mountings and vias	36
7.3.1	Observation with standard conditions	36
7.3.2	Observation after thermal shock test	38
8	Marking, packaging and storage.....	39
8.1	Marking on a product.....	39
8.2	Marking on the package	39
8.3	Packaging and storage.....	40
8.3.1	Packaging.....	40
8.3.2	Storage.....	40
	Annex A (informative) Classification and class of the PCB for high-brightness LEDs.....	41
	Bibliography	46
	Figure 1 – Example of a classification and its application.....	10
	Figure 2 – Board arrangement in a panel.....	11
	Figure 3 – Distances from the datum point to perforation and slit	12
	Figure 4 – Distance from the datum point to the V-cut.....	12
	Figure 5 – Allowance of position off-set of V-cuts on front and back surfaces	13
	Figure 6 – PWB board with symbol mark, solder resist, copper foil and plating	13
	Figure 7 – Positions of component insertion holes	15
	Figure 8 – Distance between the wall of a hole and the board edge	15
	Figure 9 – Wall of a hole and the minimum designed spacing to the inner conductor	16
	Figure 10 – Width of finished conductor.....	17
	Figure 11 – Distance between conductor and board edge	18
	Figure 12 – Thickness of the insulating layer	18
	Figure 13 – Distance between centers of terminals of printed contacts	19
	Figure 14 – Terminal width of a printed contact	19
	Figure 15 – Shift of the center of printed contacts on front and back sides of a board	20
	Figure 16 – Land pattern.....	20
	Figure 17 – Land width of a land pattern.....	21
	Figure 18 – Land diameter of BGA/CSP formed of a conductor only.....	21
	Figure 19 – Land diameter (d) of BGA/CSP formed at the opening of solder resist.....	22
	Figure 20 – Examples of fiducial mark and component positioning mark.....	23
	Figure 21 – Minimum land width.....	25

Figure 22 – Exposure of conductor	26
Figure 23 – Minimum land with caused by the shift of solder resist.....	27
Figure 24 – Overlap, smear and shift of solder resist	27
Figure 25 – Examples of smear or blur	28
Figure 26 – Example of measling	29
Figure 27 – Examples of crazing	29
Figure 28 – Conductor nicks.....	30
Figure 29 – Conductor residue	30
Figure 30 – Land	31
Figure 31 – Defects in a land of a land pattern.....	31
Figure 32 – Defects in BGA/CSP mounting lands.....	32
Figure 33 – Areas to be checked for defects of a printed contact.....	33
Figure 34 – Defects in a printed contact	33
Figure 35 – Relations between resistance and width, thickness and temperature of a conductor	35
Figure 36 – Relationship between current, conductor width and thickness and temperature rise	36
Figure 37 – Defect on a plating of a component hole	37
Figure 38 – Resin smear	38
Figure 39 – Corner crack	38
Figure 40 – Barrel crack.....	39
Figure 41 – Foil crack	39
Figure A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter	42
Table 1 – Application and classification	9
Table 2 – Panel dimensions	11
Table 3 – Allowance of dimensions	11
Table 4 – Allowance of the distances from the datum point to perforation and slit.....	12
Table 5 – Allowance of the distance from the datum point to the center of the V-cut	13
Table 6 – Total thickness and its allowance	14
Table 7 – Allowance of holes for component insertion.....	14
Table 8 – Position allowance of component insertion holes	15
Table 9 – Distance between the wall of a hole and board edge	16
Table 10 – Minimum clearance between the wall of a hole and the inner layer conductor	16
Table 11 – Allowance of conductor width.....	17
Table 12 – Allowance of the distance between conductors	18
Table 13 – Allowance of terminal width of a printed contact	19
Table 14 – Allowance of terminal width of a printed contact	20
Table 15 – Allowance of the width of a land of a land pattern	21
Table 16 – Land diameter and its allowance for BGA/CSP	22
Table 17 – Allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist.....	22

Table 18 – Shapes and sizes of typical fiducial marks and component positioning marks	23
Table 19 – Minimum thickness of copper plating	23
Table 20 – Minimum thickness of copper plating	24
Table 21 – Minimum land width	27
Table 22 – Overlap, smear and shift of solder resist over a fool print	28
Table 23 – Allowance of the area of a defect, remaining width and protrusion of a land	31
Table 24 – Defect of a land of a land pattern	32
Table 25 – Defects in BGA/CSP mounting lands	32
Table 26 – Defects in a printed contact	34
Table 27 – Specification and test methods of resistance of conductors	34
Table 28 – Specification and test methods of current proof	35
Table 29 – Allowance in horizontal sectioning	38
Table A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter	42
Table A.2 – Related test methods	43

IECNORM.COM : Click to view the full PDF of IEC 62326-20:2016

INTERNATIONAL ELECTROTECHNICAL COMMISSION

PRINTED BOARDS –

Part 20: Printed circuit boards for high-brightness LEDs

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62326-20 has been prepared by IEC technical committee 91: Electronics assembly technology.

This first edition cancels and replaces the IEC/PAS 62326-20 published in 2011, and constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) this edition focuses on the technical content of the printed circuit board for high-brightness LEDs;
- b) the figures related to the printed circuit board for high-brightness LEDs have been refined.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/1311/FDIS	91/1330/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 62326 series, published under the general title *Printed boards*, can be found on the IEC website.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

PRINTED BOARDS –

Part 20: Printed circuit boards for high-brightness LEDs

1 Scope

This part of IEC 62326 specifies the properties of the printed circuit board (hereafter described as PCB) for high-brightness LEDs. Many aspects of the PCB for high-brightness LEDs are identical with those of ordinary PCBs, therefore, some aspects of this standard also describe general aspects.

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 61189-3:2007, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 3: Test methods for interconnection structures (printed boards)*

IEC 61249-2-6, *Materials for printed boards and other interconnecting structures – Part 2-6: Reinforced base materials, clad and unclad – Brominated epoxide non-woven/woven E-glass reinforced laminated sheets of defined flammability (vertical burning test), copper-clad*

IEC 61249-2-7, *Materials for printed boards and other interconnecting structures – Part 2-7: Reinforced base materials clad and unclad – Epoxide woven E-glass laminated sheet of defined flammability (vertical burning test), copper-clad*

IEC 62878-1-1, *Device embedded substrate – Part 1-1: Generic specification – Test methods*

3 Terms, definitions and abbreviations

3.1 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply.

3.2 Abbreviations

AABUS As Agreed Between User and Supplier

BGA Ball Grid Array

CCL Copper Clad Laminate

COB Chip On Board

CSP Chip size package

HID High Intensity Discharge

LED Light Emitting Diode

PCB Printed Circuit Board

PWB Printed Wiring Board

4 Classification and class of the printed circuit board for high-brightness LEDs

The PCB for high-brightness LEDs specified in this standard shall satisfy the specifications A to C in Table 1 and Figure 1 in the following way. The materials used in the materials of PWB are not specified, however, they shall be agreed between user and supplier (hereafter referred to as AABUS) depending on the application area of the boards in question. Figure 1 gives an example of classification and their application by base materials, for printed circuit boards for high-brightness LEDs and final products.

Table 1 – Application and classification

Primary classification (thermal conductivity)	Definition	Secondary classification (insulation property)	Definition	Thermal conductivity parameter W/(mK)	Heat transfer parameter W/(m ² K)	Thermal impedance (Km ² /W)
A	Standard boards	I	No specification	<1	<10	Thermal impedance can be calculated from the measurement of thermal conductivity and the inverse heat transfer parameter.
		II	Electric strength <1 000 V			
		III	Electric strength ≥1 000 V			
B	Thermal conductive boards	I	No specification	≥1	<10	
		II	Electric strength <1,000 V			
		III	Electric strength ≥1 000 V			
C	High thermal conductive boards	I	No specification	≥1	≥10	
		II	Electric strength <1 000 V			
		III	Electric strength ≥1 000 V			

Heat radiation	A			B			C		
Classification by base materials	Resin type substrate IEC 60249-2-6 and IEC 60249-2-7 (CEM-3, FR-4)			Resin type substrate (with thermal via)			Metal core substrate Metal base substrate Ceramic type substrate		
	Flexible type substrate			High thermal conductive resin substrate					
Classification by printed circuit boards	Conventional substrate for discrete type electronic components mounted boards								
				Substrate for semiconductor package					
				Substrate for Chip on Board					
Classification by final products	Lamp for assistant lighting						Substitution for HID		
				Substitution for halogen lamp					
				Substitution for fluorescent lamp					
				Substitution for filament lamp					
				Street lamp					
Insulation class	I	II	III	I	II	III	I	II	III

IEC

Figure 1 – Example of a classification and its application

5 Design rules and allowance

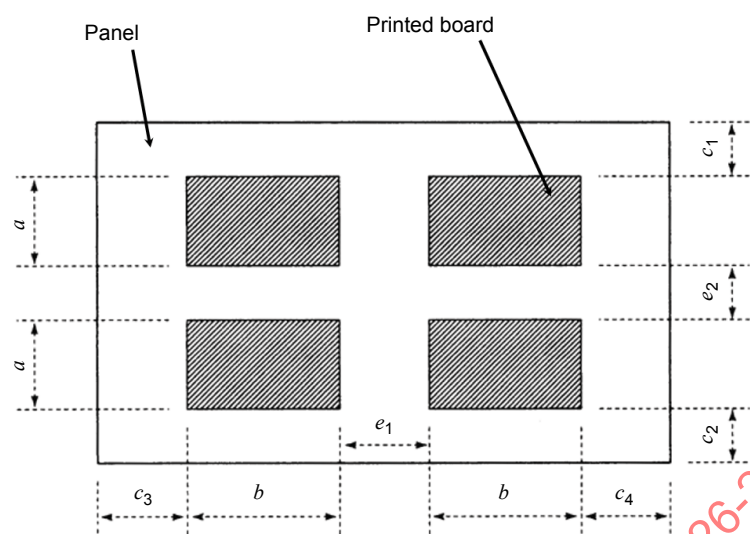
5.1 Panel and board sizes

5.1.1 Board size

NOTE Indications on board size are added for reference only.

The size of the board of the product ($a \times b$) illustrated in Figure 2.

should be selected so that the boards can be arranged efficiently within a panel with a size as specified in Table 2. These dimensions are given for information only. Or, a proper panel with a size given in Table 2 shall be selected so as to satisfy the required efficient arrangement of the boards.

**Key**

Board size of the product: $a \times b$

Space between board and panel edges: c_1, c_2, c_3, c_4

Space between boards: e_1, e_2

Figure 2 – Board arrangement in a panel

Table 2 – Panel dimensions

Size of a CCL panel	Division			
	4	6	8	9
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333
1 000 × 1 200	500 × 600	333 × 600 400 × 500	300 × 500	333 × 400
Dimensions are in millimetres.				

5.1.2 Allowance of dimensions

The allowance of dimensions of a board or a panel is given in Table 3.

Table 3 – Allowance of dimensions

Length mm	Allowance
≤ 100	$\pm 0,2$ mm
> 100	Add 0,1 mm for each 50 mm exceeding a length of 100 mm.

5.1.3 Perforation and slit

The perforation and slits are shown in Figure 3. The allowances of the distances from the datum point to the center of the cut of the perforation and slit is given in Table 4.

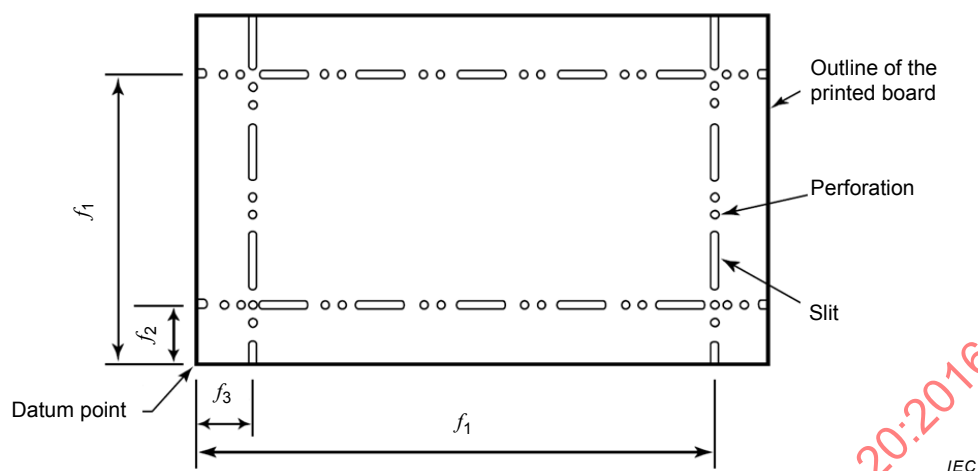


Figure 3 – Distances from the datum point to perforation and slit

Table 4 – Allowance of the distances from the datum point to perforation and slit

Distances from the datum point to perforation and slit mm	Allowance
≤ 100	$\pm 0,2$ mm
> 100	Add 0,1 mm for each 50 mm beyond a length of 100 mm.

5.1.4 V-cut

The V-cut is shown in Figure 4 and Figure 5. The allowance of the distance from the reference datum to the center of the V-cut (g_1 to g_4) is given in Table 5. The allowance of the deviation of the position of the V-cut on the front and back planes is 0,2 mm, and the allowance of the uncut thickness of the board is the sum of the allowance of the board thickness $\pm 0,1$ mm.

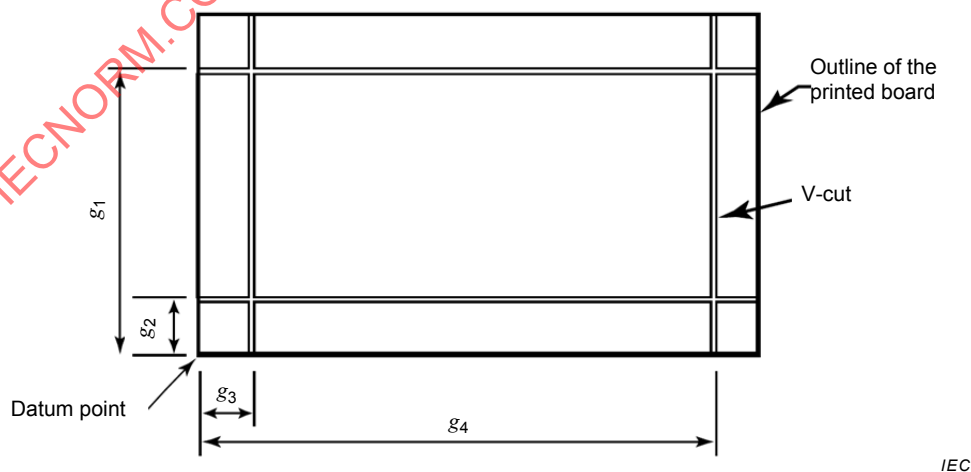


Figure 4 – Distance from the datum point to the V-cut

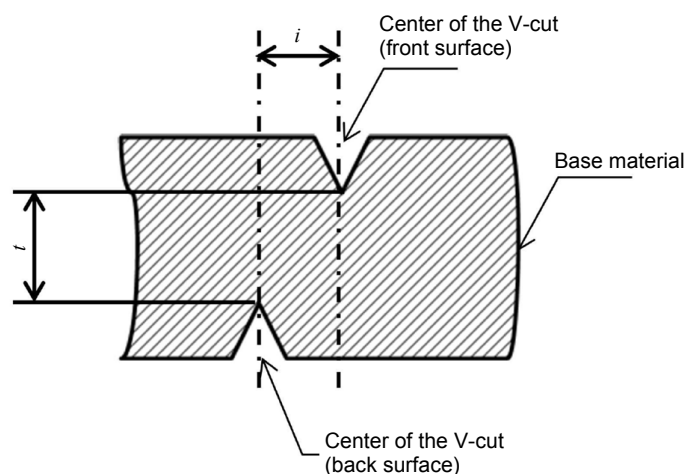


Figure 5 – Allowance of position off-set of V-cuts on front and back surfaces

Table 5 – Allowance of the distance from the datum point to the center of the V-cut

Distance from the datum point to the center of the V-cut mm	Allowance
≤ 100	$\pm 0,2$ mm
> 100	Add 0,1 mm for each 50 mm exceeding a length over 100 mm

5.2 Total board thickness

The allowance of the total board thickness (t) and symbol marks as shown in Figure 6 is given in Table 6.

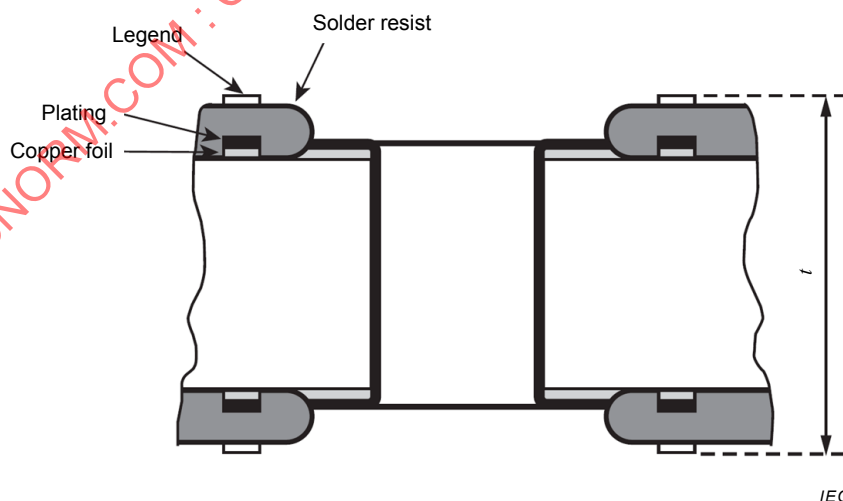


Figure 6 – PWB board with symbol mark, solder resist, copper foil and plating

Table 6 – Total thickness and its allowance

Total thickness (center value of the final board) t	Allowance
$0,3 \leq t < 0,5$	+0,10 –0,05
$0,5 \leq t < 0,8$	$\pm 0,10$
$0,8 \leq t < 1,10$	$\pm 0,15$
$1,10 \leq t < 1,40$	$\pm 0,17$
$1,40 \leq t < 2,00$	$\pm 0,19$
$t \geq 2,00$	$\pm 10 \%$
Dimensions are in millimetres.	

5.3 Holes

5.3.1 Insertion holes and vias

The following applies to insertion holes and vias for components.

a) Allowance of component insertion holes

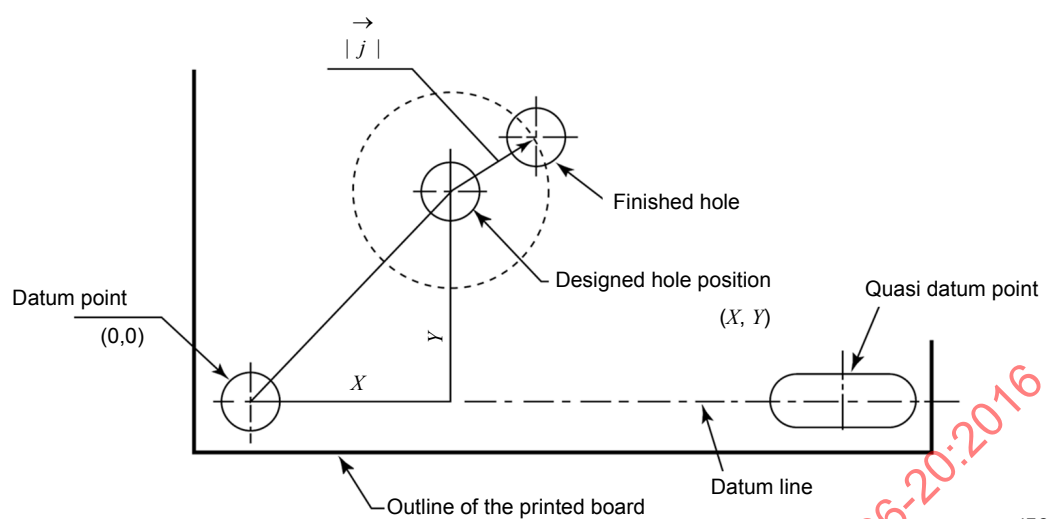
The allowance of component insertion holes is given in Table 7. The allowance given in this table is not applicable to vias (through-hole vias, buried vias and blind vias). The allowance of through-holes with a diameter less than 0,6 mm for insertion of a component and holes for press-fit of a component is to be AABUS.

Table 7 – Allowance of holes for component insertion

Item	Allowance
Plated through-hole	$0,6 \leq t < 2,0$ $t \geq 2,0$
	$\pm 0,10$ $\pm 0,15$
Non-plated through-hole	$\pm 0,10$
Dimensions are in millimetres.	

b) Position of a hole for component insertion

The center of a hole for component insertion should be at the cross point of the grid for pattern design including the complementary grid lines used. The allowance of a component insertion hole position, $(\begin{smallmatrix} \rightarrow \\ j \end{smallmatrix})$, the deviation from the designed position with respect to the datum point as shown in Figure 7, is given in Table 8.



IEC

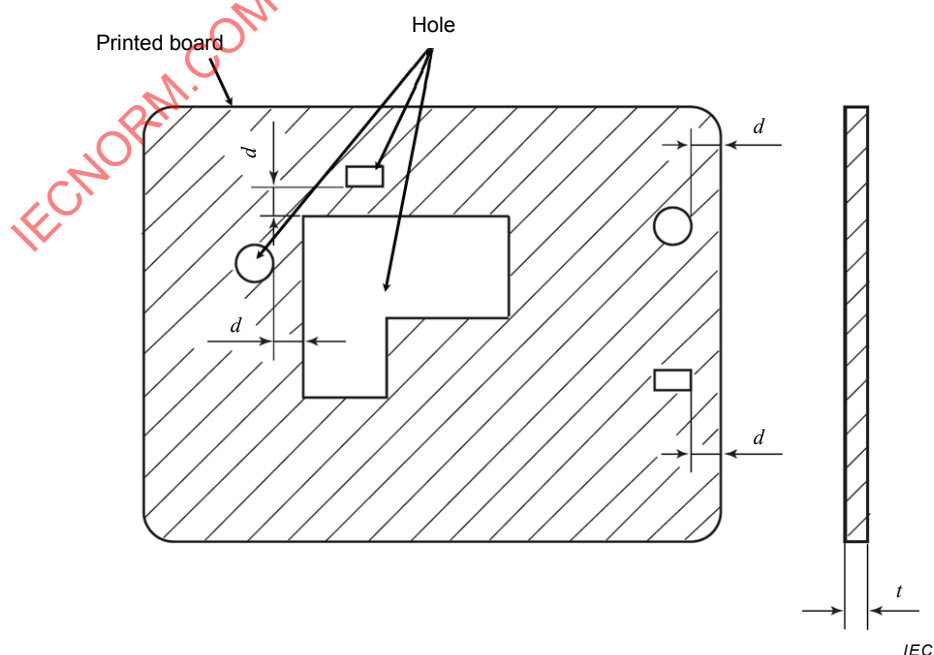
Figure 7 – Positions of component insertion holes

Table 8 – Position allowance of component insertion holes

Longer dimension of rectangular board mm	Allowance
≤ 400	0,10 mm
> 400	For a board exceeding 400 mm, add 0,05 mm for each additional 100 mm.

c) Distance from the board edge to the wall of a hole

The distance from the board edge to the wall of a hole (d) is shown in Figure 8. The distance (d) between the walls of a through-hole before plating and of a hole for component insertion shall be larger than 1,0 mm. The distance for a press-fit hole shall be in accordance with Table 9.



IEC

Figure 8 – Distance between the wall of a hole and the board edge

Table 9 – Distance between the wall of a hole and board edge

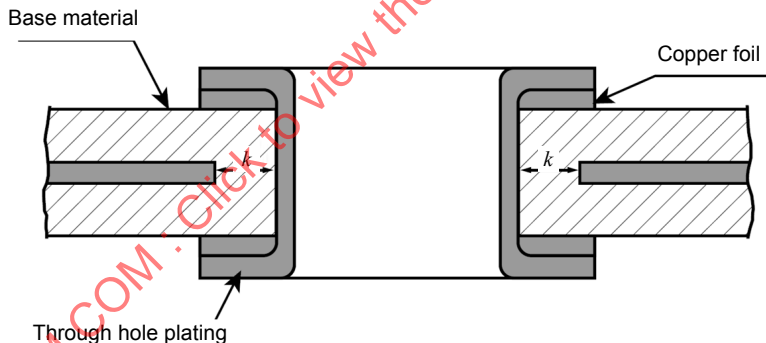
Item	Distance (<i>j</i>) between a component hole before plating and the via wall (<i>d</i>)
HDI PWB	≤1,0 mm and also longer than the board thickness (<i>t</i>)
Standard PWB	≤1,5 mm and also longer than the board thickness (<i>t</i>)

d) Minimum clearance between the wall of a hole and the inner conductor

The minimum clearance between the wall of a hole and the inner conductor (*k*) as illustrated in Figure 9 shall be 0,325 mm in accordance with Table 10. If the distance 0,325 mm is guaranteed in the design of the pattern, the minimum separation is guaranteed.

Table 10 – Minimum clearance between the wall of a hole and the inner layer conductor

Item		Minimum clearance between hole wall and the inner layer conductor (<i>k</i>) mm	
		Standard value	Minimum value
HDI PWB	Component hole	0,5	0,25
	Via	0,30	
Standard PWB	Component hole	0,5	0,30
	Via	0,35	



IEC

Figure 9 – Wall of a hole and the minimum designed spacing to the inner conductor

5.3.2 Datum hole

The allowance of a datum hole shall be $\pm 0,05$ mm, or $^{+0,10}_{-0,00}$ mm. A through hole without wall plating shall be used as a datum hole.

5.3.3 Assembly hole (a through-hole without wall plating)

The following requirements apply.

a) Allowance of an assembly hole

The allowance of an assembly hole shall be $\pm 0,10$ mm.

b) Allowance of the position of an assembly hole

The allowance of the position of an assembly hole shall be in accordance with Table 8 of 5.3.1 b).

c) Distance between an assembly hole and the board edge

The distance between an assembly hole and the board edge shall be larger than 2,0 mm. In case the distance is less than 2,0 mm, the distance shall be agreed between user and supplier.

d) The distance between an assembly hole and the inner conductor

The distance between the wall of an assembly hole and the inner conductor shall be larger than 1,0 mm.

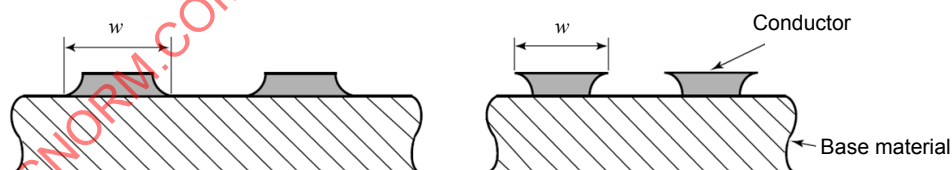
5.4 Conductor

5.4.1 Width of conductor pattern and its allowance

The allowance of the formed conductor width (w), as illustrated in Figure 10, shall be in accordance with the allowances as given on Table 11. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Table 11 – Allowance of conductor width

Conductor thickness (t)	Allowance	Conductor width for reference
$50 \leq t < 75$	± 25	15 to 20
$75 \leq t < 100$	± 30	20 to 40
$100 \leq t < 300$	± 50	30 to 50
$t \geq 300$	± 100	40 to 70
Thick copper foil circuits	± 150	70
	± 200	105
	± 300	140
The conductor thickness is the copper foil thickness plus the thickness of plated copper.		
Dimensions are in micrometres.		



IEC

Figure 10 – Width of finished conductor

5.4.2 Distance between conductors and its allowance

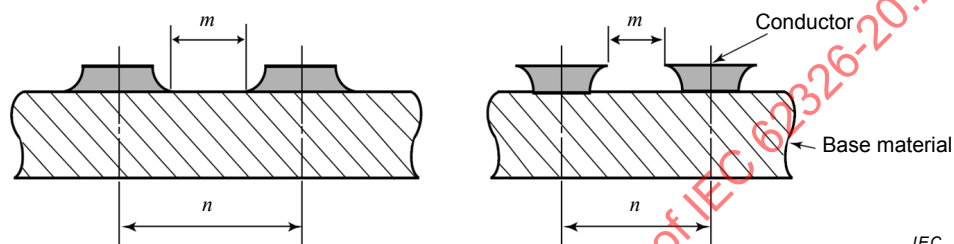
The distance between the conductor and board edge is illustrated in Figure 11. The allowance of the distance between conductors (h) shall be in as given in Table 12. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Table 12 – Allowance of the distance between conductors

Conductor thickness (h)	Allowance	Conductor width for reference
$50 \leq h < 75$	± 25	15 to 20
$75 \leq h < 100$	± 30	20 to 40
$100 \leq h < 300$	± 50	30 to 50
$h \geq 300$	± 100	40 to 70

The conductor thickness is the copper foil thickness plus the thickness of plated copper.

Dimensions are in micrometres.



Key

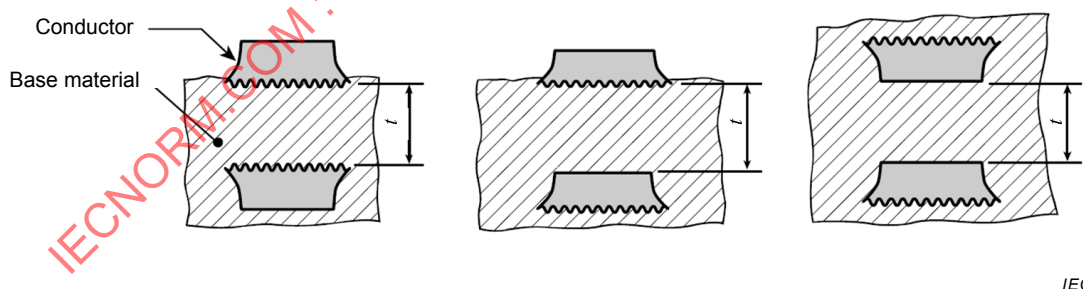
m is the conductor spacing

n is the conductor pitch

Figure 11 – Distance between conductor and board edge

5.4.3 Thickness of the insulating layer

The thickness of an insulating layer (t) is illustrated in Figure 12.



NOTE In case the surface of copper foil is roughened, the thickness of the base material is the minimum distance applicable to the substrate.

Figure 12 – Thickness of the insulating layer

5.5 Printed contact

5.5.1 Allowance of the distance between the centers of two adjacent printed contacts

The allowance of the distance between the centers of two adjacent printed contacts (p , p_n) as illustrated in Figure 13 shall be $\pm 0,10$ mm. Add 0,01 mm for each additional 20 mm in case the distance between the centers of terminals exceeds 100 mm.

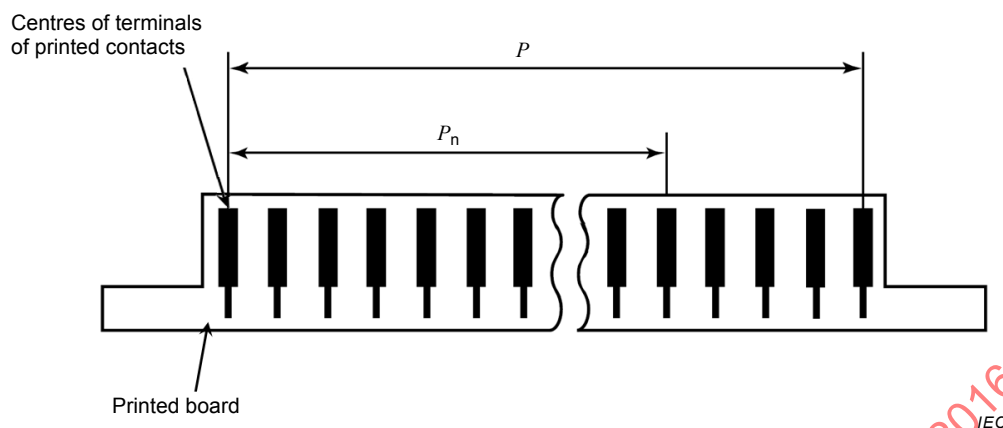


Figure 13 – Distance between centers of terminals of printed contacts

5.5.2 Allowance of the terminal width of printed contacts

The allowance of the terminal width of printed contacts (w) as illustrated in Figure 14 is specified in Table 13.

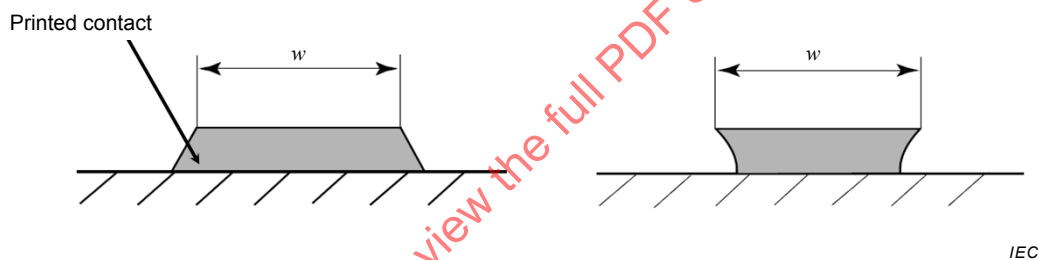


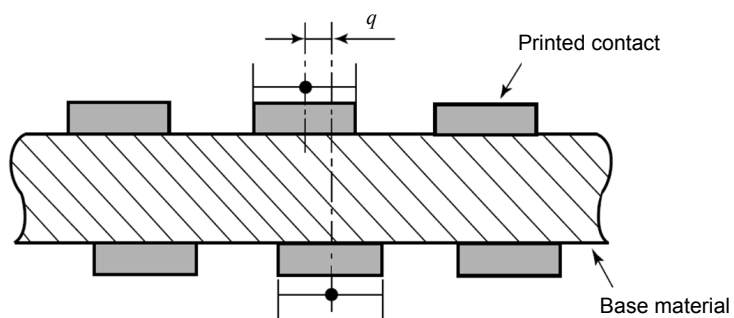
Figure 14 – Terminal width of a printed contact

Table 13 – Allowance of terminal width of a printed contact

Terminal width w	Allowance
$\leq 1,0$	$\pm 0,05$
$> 1,0$	$\pm 0,10$
Dimensions are in millimetres.	

5.5.3 Shift of the center of printed contacts on front and back sides of a board

The allowance of the shift of the center of printed contacts on front and back sides of a board (q) as illustrated in Figure 15 shall be $\pm 0,20$ mm.



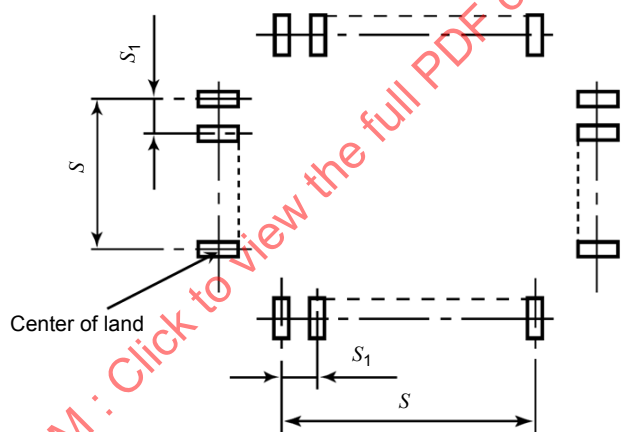
IEC

Figure 15 – Shift of the center of printed contacts on front and back sides of a board

5.6 Land pattern

5.6.1 Allowance of the distance between the centers of two lands

The allowance of the distance between the centers of two adjacent lands (S_1) and of two adjacent parallel lands (S) as illustrated in Figure 16 is specified in Table 14.



IEC

Figure 16 – Land pattern

Table 14 – Allowance of terminal width of a printed contact

Distance between centers	Allowance mm
S_1	$\pm 0,03$
S	$\pm 0,05$

5.6.2 Allowance of the width of a land

The allowance of the width of a land of a land pattern (w) as illustrated in Figure 17 is specified in Table 15. The allowance for a land narrower than 0,15 mm shall be AABUS.

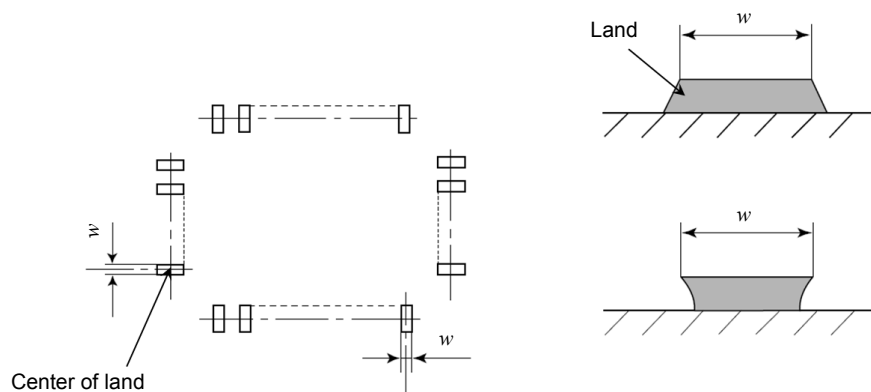


Figure 17 – Land width of a land pattern

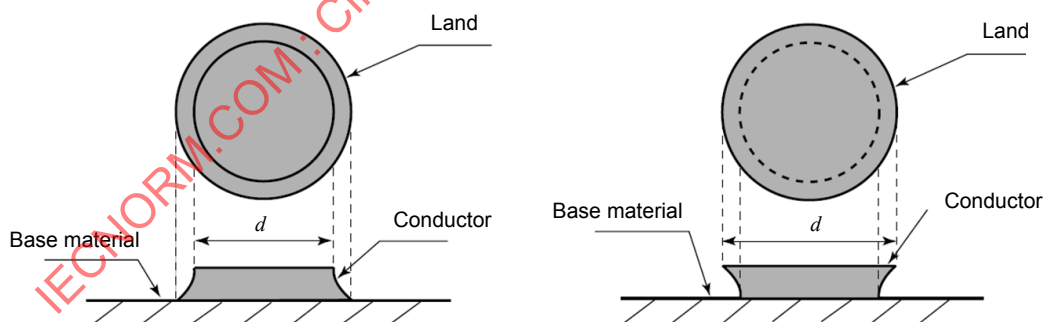
Table 15 – Allowance of the width of a land of a land pattern

Land width w	Allowance
$0,15 < w \leq 0,35$	$\pm 0,04$
$w > 0,35$	$\pm 0,06$
Dimensions are in millimetres.	

5.6.3 Land diameter and its allowance for BGA/CSP

The allowance of land diameter for BGA/CSP is specified in a) and b) below.

- a) The pattern is shown in Figure 18. The allowance of the land diameter (d) of BGA/CSP made of conductor only is given in Table 16.



IEC

Figure 18 – Land diameter of BGA/CSP formed of a conductor only

Table 16 – Land diameter and its allowance for BGA/CSP

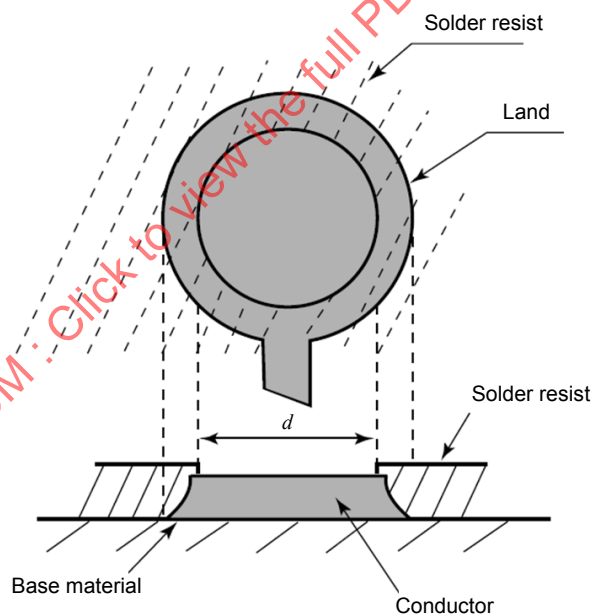
Item	Allowance of land diameter mm	Conductor thickness ^a μm
HDI PWB	+0,02 –0,03	20 to 30
Standard PWB	+0,03 –0,05	30 to 50

^a Dimensions are given for reference.

- b) The pattern is shown in Figure 19. The allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist is given in Table 17.

Table 17 – Allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist

Item	Allowance mm
HDI PWB	±0,03
Standard PWB	±0,05



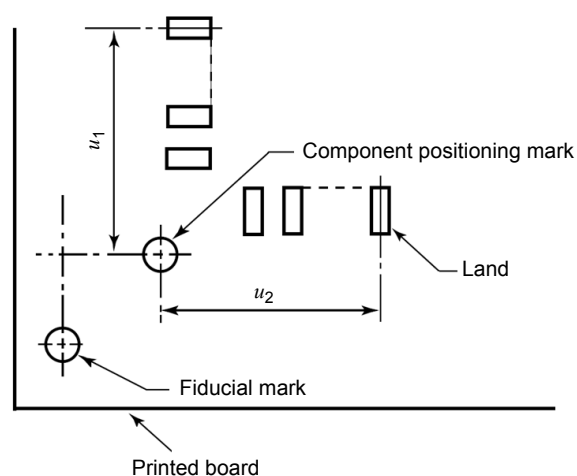
IEC

Figure 19 – Land diameter (d) of BGA/CSP formed at the opening of solder resist

5.7 Fiducial mark and mark for component positioning

5.7.1 Typical form and size of the fiducial mark

The mark for component positioning in Figure 20 is specified in Table 18.



IEC

Figure 20 – Examples of fiducial mark and component positioning mark

Table 18 – Shapes and sizes of typical fiducial marks and component positioning marks

Item	Shape	Diameter mm
Fiducial and component positioning marks	Circle	1,0

5.7.2 Dimensional allowance of fiducial mark and component positioning mark

The dimensional allowance of fiducial mark and component positioning mark, as illustrated in Figure 20, is $\pm 0,1$ mm.

5.7.3 Position allowance of the component positioning mark

The farthest land pattern from the mark (u_1, u_2), as illustrated in Figure 20, shall be $\pm 0,05$ mm.

5.8 Interlayer connection – Copper plating

The minimum thickness of copper plating on the wall of via and component insertion holes is given in Table 19.

Table 19 – Minimum thickness of copper plating

Board thickness, or layer thickness mm	Minimum thickness of copper plating μm
$t > 2,4$	Thickness shall be AABUS
$1,0 < t \leq 2,4$	15
$0,5 < t \leq 1,0$	12
$t \geq 0,5$	10
The measurement shall be made by optical observation of a microsectioned vertical cross-section. Local surface deviation is not taken into consideration.	

6 Quality

6.1 Gap between conductor and the wall of a component insertion hole or a via

The gap between the conductor and the wall of a component insertion hole or via, or the gap between the inner conductor and the wall of a hole shall be larger than 0,13 mm.

6.2 Positional deviation between conductor layers of a multilayer board

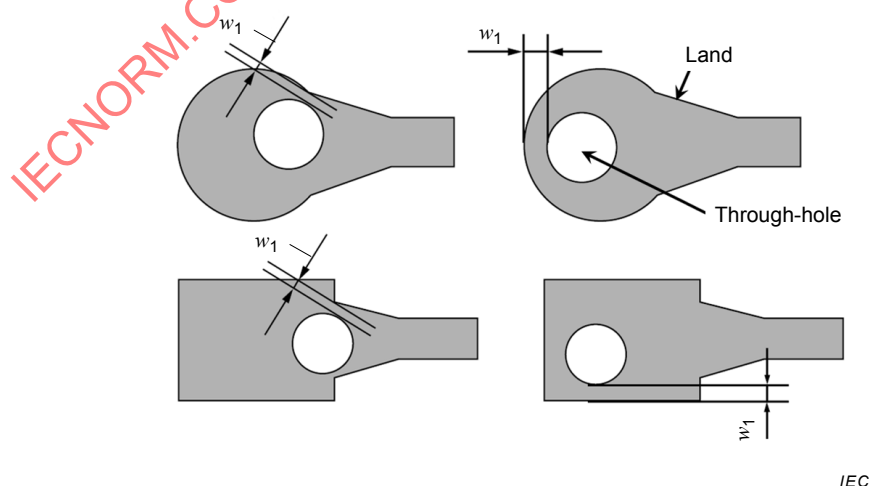
The deviation of conductor layers of a multilayer board shall satisfy the conditions specified in 5.5.3, 6.1, and 6.3.

6.3 Minimum land width

The minimum land width on the most outer layer (w_1) caused by the shift of land and the hole, and the minimum land width on an inner layer (w_2) are specified in Table 20 (see also Figure 21).

Table 20 – Minimum thickness of copper plating

Item ^a		Minimum land width mm
Minimum land width on outer layer w_1 ^b	At the joint of land and conductor	$w_1 \geq 0,03$
	Other area	$\theta \leq 90^\circ$
	Case of non-conductive component insertion hole	$w_1 \geq 0,05$
Minimum land width on inner layer w_2 ^c	At the joint of land and conductor	$w_2 \geq 0,03$
	Others (except laser drilled hole) ^d	$\theta \leq 90$
^a Regardless of the shape of a land. ^b Includes the thickness of through-hole plating. ^c Does not include the thickness of through-hole plating. ^d No break of inner land is allowed for a laser drilled hole.		



IEC

Figure 21 a – Minimum land width on the outer layer

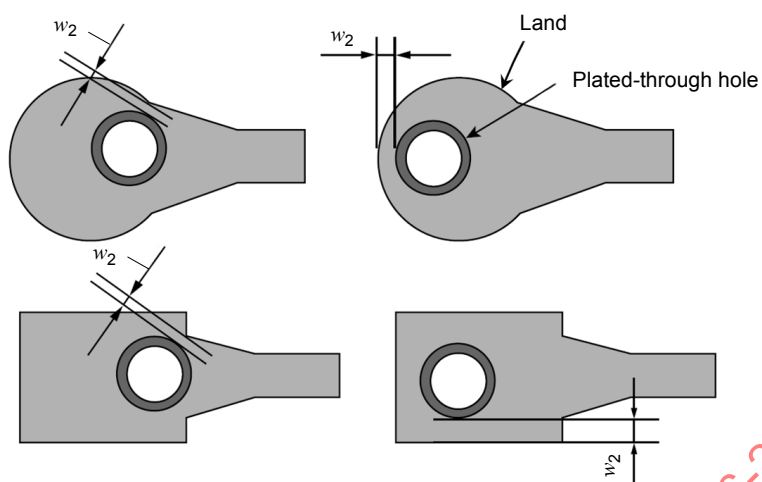


Figure 21 b – Minimum land width on the inner layer with a plated through-hole

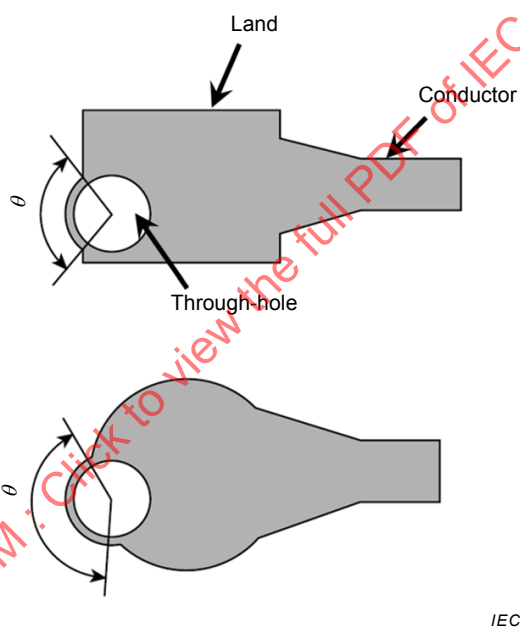


Figure 21 c – Allowable area of land break

Figure 21 – Minimum land width

6.4 Surface treatment

6.4.1 Gold plating for printed contact

The gold plating for printed contact is generally plated of hard gold on the nickel plating.

a) Nickel plating

The thickness of nickel plating on a printed contact shall be more than 2,0 μm .

b) Gold plating

The hard gold shall be used for plating on a printed contact with a plating thickness of more than 0,1 μm .

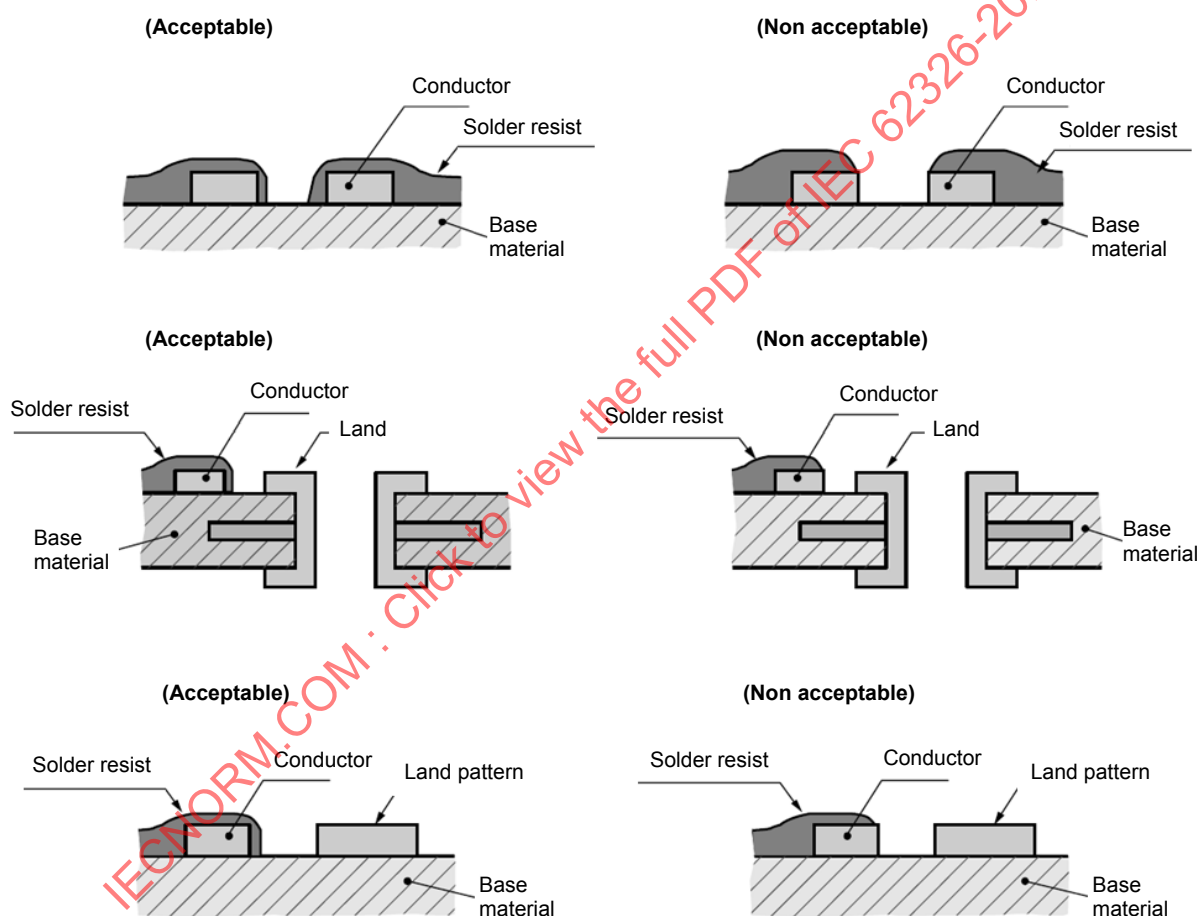
6.4.2 Other surface treatment

The details of other surface treatments including gold flush plating and solder coating depend on the methods for interconnection (such as soldering or wire bonding). These details shall be AABUS.

6.5 Defects of solder resist

The following requirements apply.

- The defects in a land for BGA/CSP shall be in accordance with 5.6.3.
- Solder resist shall not have scratch, peeling, pin-hole, or foreign material. It shall not have any bubble extending to two conductors.
- Exposure of the conductor after the application of solder resist shall be in conformance with the illustrations in Figure 22.



IEC

Figure 22 – Exposure of conductor

- The minimum land width caused by the shift of solder resist (w) on the land on the outer conductor layer of PWB used for component insertion as illustrated in Figure 23 shall be in accordance with the specification given in Table 21.

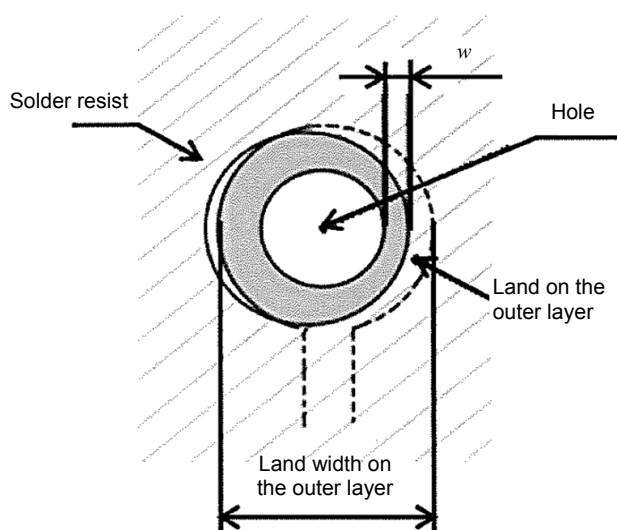
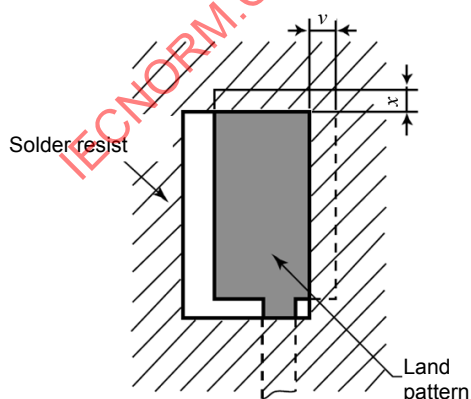


Figure 23 – Minimum land width caused by the shift of solder resist

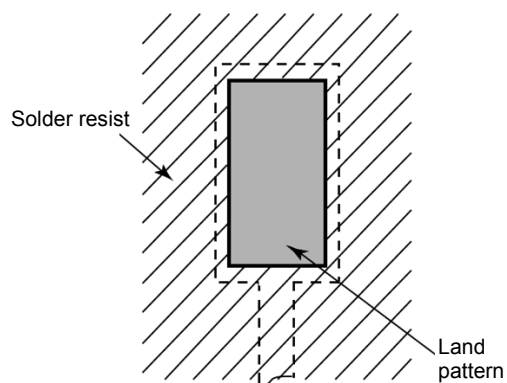
Table 21 – Minimum land width

Item	Minimum land width
Facing the component	To the edge of a hole
Facing the solder	Shall be larger than 0,03 mm The area effective for soldering shall be larger than 70 %.

- e) The overlap, smear and shift of solder resist on a land (width direction (v) and length direction (x)) on the outer conductor layer of PWB used for component insertion as illustrated in Figure 24 shall comply with the specification given in Table 22. The displacement in case the solder resist is designed to cover the entire land pattern, as illustrated in Figure 24 b, shall be AABUS.



IEC



IEC

Figure 24 a – Shift of solder resist

Figure 24 b – Overlap and smear of solder resist

Figure 24 – Overlap, smear and shift of solder resist

Table 22 – Overlap, smear and shift of solder resist over a fool print

Item	Overlap, smear and shift mm
Width (y)	$\leq 0,05$
Longitudinal (x)	$\leq 0,05$

- f) The overlap, smear and shift of solder resist on a ball-land or a land for wire-bonding shall not exist unless the solder resist is designed to cover a land.

6.6 Symbol mark

6.6.1 General

The following are the focusing points for symbol marks in general.

- a) A printed legend shall not have smear or blur affecting readability of the mark as illustrated in Figure 25.

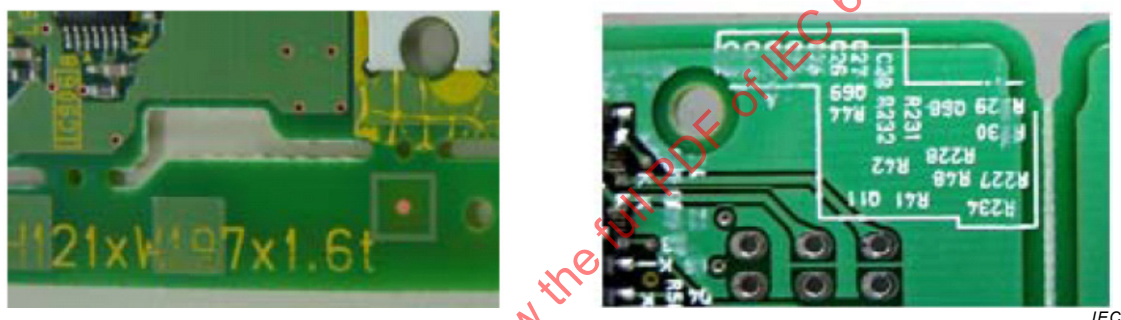
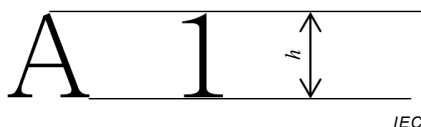


Figure 25 – Examples of smear or blur

- b) A legend shall be printed more than 0,2 mm away from a via land, a through hole land, or a land pattern.
- c) A legend with a height (h) of less than 1,5 mm may not be legible to identify the mark as a letter or a mark (except for Chinese characters). An example of the height of a legend mark is shown below.

Remark 1: The line width of thicker than 0,15 mm for a legend is recommended.

Remark 2: A legend should be applied directly on the conductor pattern, or completely away from the conductor.



6.6.2 Conductor surface

There shall be no swell, wrinkle, crack, separation of conductor from the substrate, nor a metal fracture at an edge of a conductor. There shall be no colour change that may cause a defect in assembly, fouling nor foreign material on the conductor surface. The exposure of the bare conductor, treated with plating, a surface treatment or that is coated, is not allowed.

6.6.3 Between conductors

There shall be no foreign material that bridges two conductors and may cause an insulation problem.

6.6.4 Defects within insulating layers

Defects within the insulating layers are listed below.

a) Measling and crazing

There shall be no measling nor crazing that overlaps conductors, holes for component insertion or between vias. Examples of measling and crazing are illustrated in Figure 26 and Figure 27.

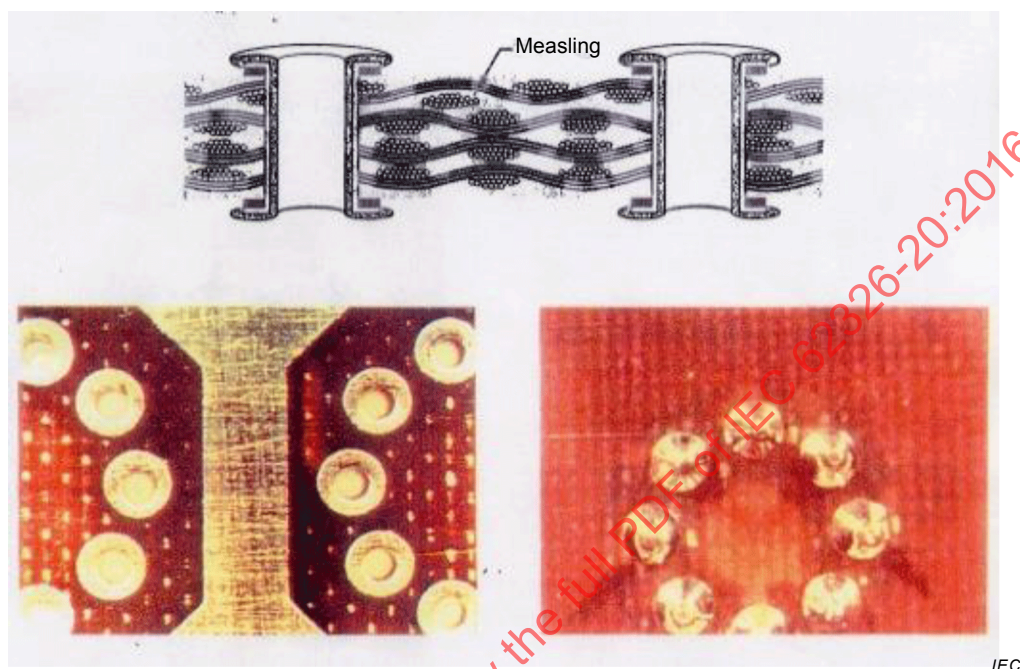


Figure 26 – Example of measling

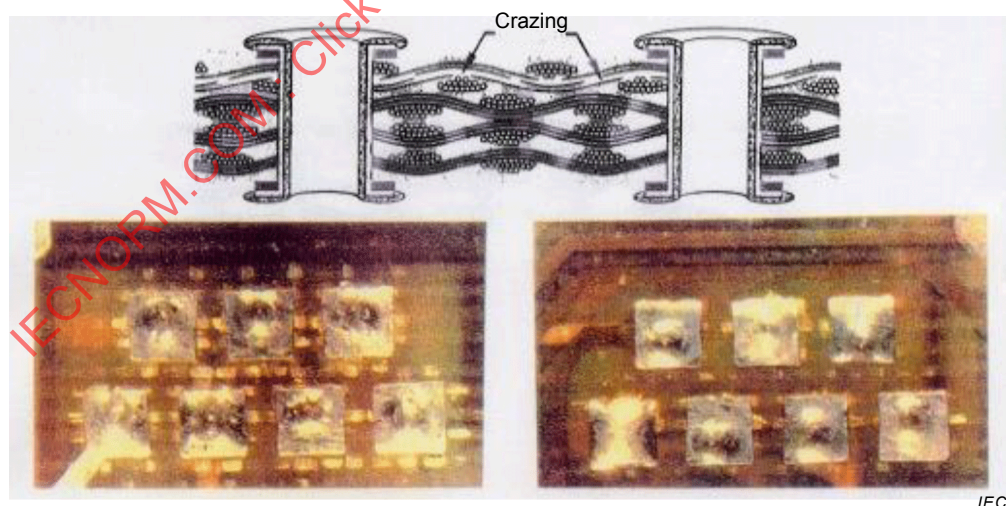


Figure 27 – Examples of crazing

b) Delamination, swell and void

There shall not be delamination nor swell and stacked voids that may result in a reliability problem of a product in a multilayer board.

c) Inclusion of foreign materials

There shall be no foreign material or no imperfection such as delamination that may result in a problem in the assembly process.

6.6.5 Routing and drilling

Cracks caused by press machining of routing and hole drilling, and haloing shall be AABUS.

6.6.6 Conductor pattern

Defects on the conductor pattern are listed below.

a) Conductor nick

The width of a conductor nick (w) as illustrated in Figure 28 shall be less than 30 % of the final conductor width, and the length (l) less than the width of the conductor pattern.

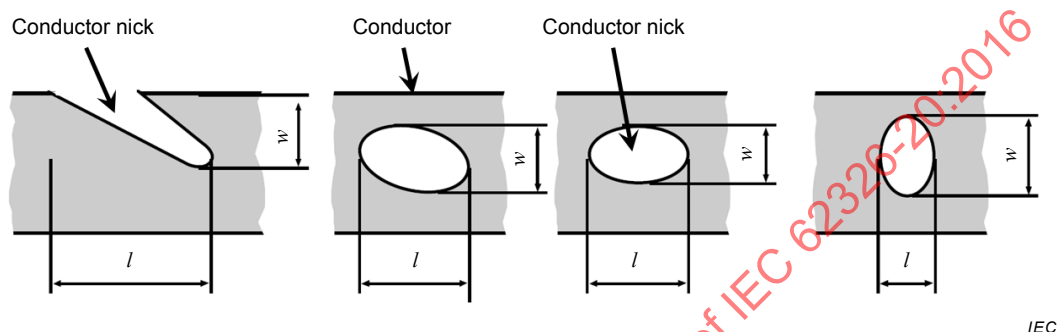


Figure 28 – Conductor nicks

b) Residue of conductor in conductor gaps

The width (w) of a residue of conductor between conductors, as illustrated in Figure 29 (protrusion or residue in etching), shall be less than 30 % of the final separation of conductors, or, less than 0,30 mm. The length of a residue (l) shall be less than the final separation of the conductor.

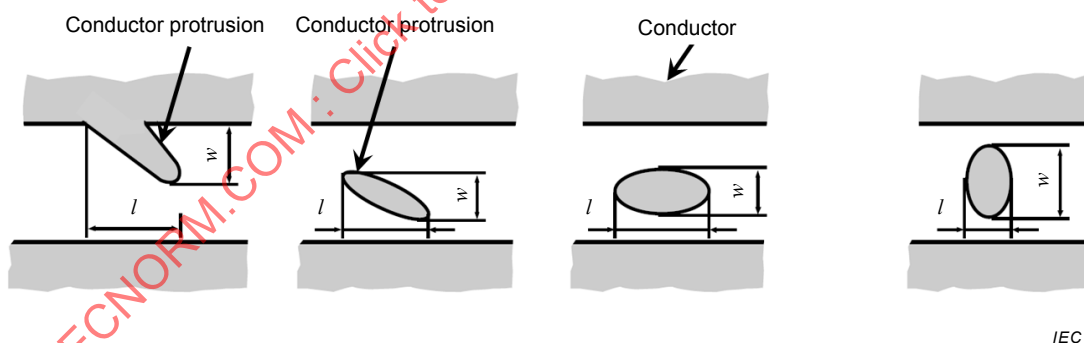


Figure 29 – Conductor residue

6.7 Land

The allowance of the area, remaining width (w_1, w_2), and protrusion (y) of a defect caused by a missing part of a land, as illustrated in Figure 30, shall comply with the specification given in Table 23.

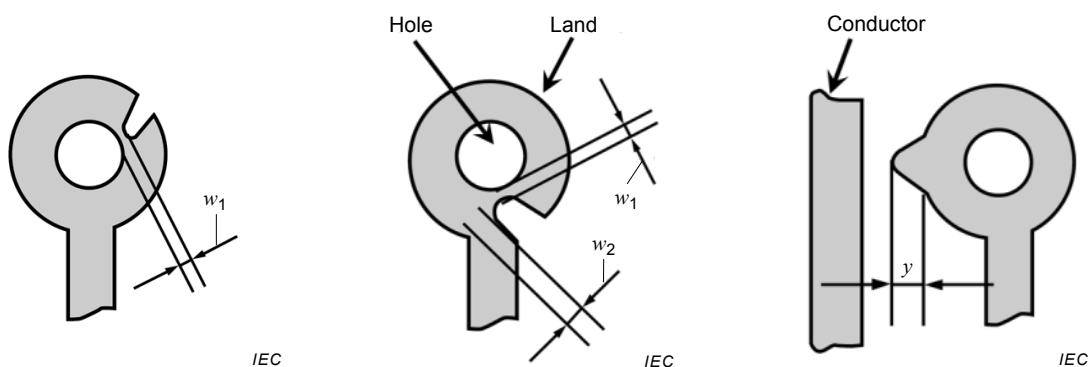


Figure 30 a – Width of a remaining land

Figure 30 b – Widths of a remaining land and edge to the conductor

Figure 30 c – Land protrusion

Figure 30 – Land

Table 23 – Allowance of the area of a defect, remaining width and protrusion of a land

Item		Area of a defect, remaining width and land protrusion
Ratio of the missing area to the area of a land		≤20 %
Remaining width resulting from a defect of a land	w_1	No defect shall reach to the wall of a hole
	w_2	More than 70 % of the final conductor width
Protrusion	y	As specified in 6.6.6 b) – Width of residue in the conductor gap w .

6.8 Land of a land pattern

The width (w) and the length (l_1 , l_2) of a defect in a land, as illustrated in Figure 31, shall comply with the specification given in Table 24. The maximum number of defects in a land shall be no more than one.

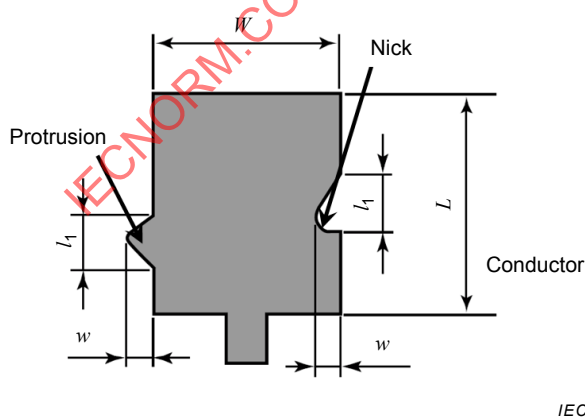


Figure 31 a – Nick and protrusion

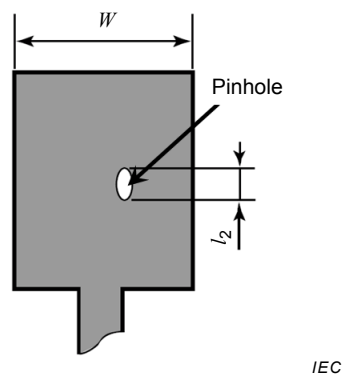


Figure 31 b – Pin-hole

Figure 31 – Defects in a land of a land pattern

Table 24 – Defect of a land of a land pattern

Item		Width of completed land of a land pattern w	
		mm	
		<0,8	≥0,8
Crack and protrusion	Width w	Less than 20 % of w	≤0,15
	Length l_1	Less than 50 % of L	
Pinhole (longer dimension l_2)		Less than 20 % of w	≤0,15
The protrusion shall satisfy the minimum separation between a neighbouring conductor specified in 5.4.2.			

6.9 Defects in a land for BGA/CSP mounting

The defects in a land for BGA/CSP mounting as illustrated in Figure 32 shall comply with what is given in Table 25, and shall not exceed 1 for one land.

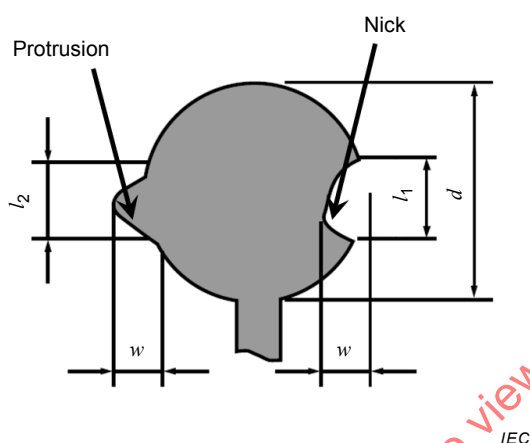


Figure 32 a – Chipping and protrusion

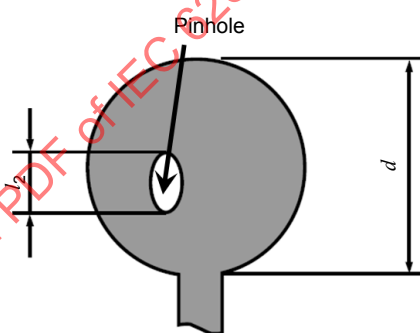


Figure 32 b – Pin-hole

Figure 32 – Defects in BGA/CSP mounting lands

Table 25 – Defects in BGA/CSP mounting lands

Item	Defects in BGA/CSP mounting lands
Chipping and protrusion	Effective land area shall be over 80 % of the designed area.
Pin holes (long diameter l_2)	There shall be no pin hole showing the insulation layer.
The length of protrusion shall satisfy the minimum separation between conductors (see 5.4.2).	

6.10 Printed contact

The allowance of the defects in the areas ① and ② of a printed contact (see Figure 34) that is to be electrically connected as illustrated in Figure 33 shall comply with the specification given Table 26.

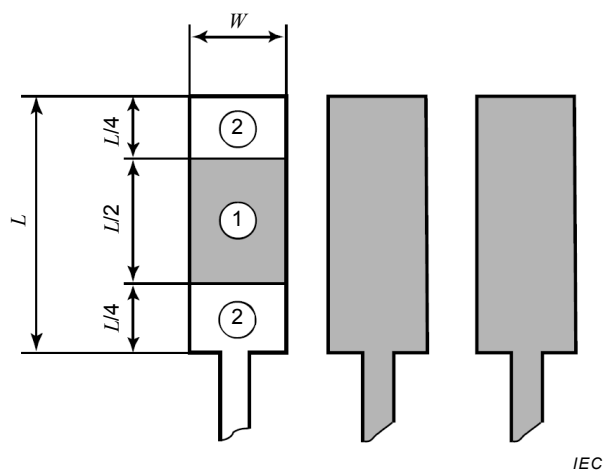


Figure 33 – Areas to be checked for defects of a printed contact

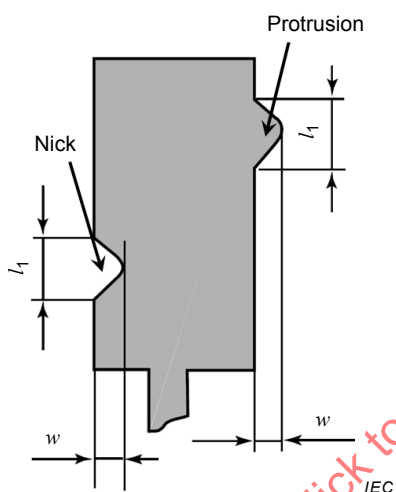


Figure 34 a – Crack and protrusion

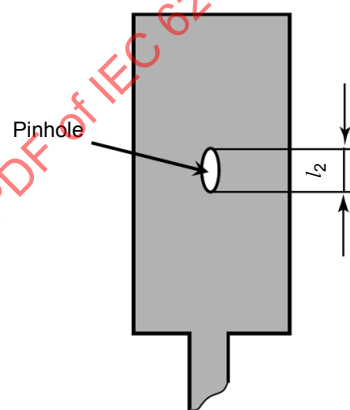


Figure 34 b – Pin hole

Figure 34 – Defects in a printed contact

Table 26 – Defects in a printed contact

Item	Area	
	Area ①	Area ②
Exposure of underlying plating (Ni, Co, etc.)	No defect is allowed that may affect the reliability of a product	
Swell and separation of plated film		
Hit trace	No trace larger than 0,2 dia. is allowed	No trace larger than 0,5 dia. is allowed
Scratch	No scratch larger than a width of 0,1 is allowed	No scratch larger than a width of 0,5 is allowed
Lump protrusion	No protrusion larger than a width of 0,1 dia. is allowed	
Crack and protrusion illustrated in Figure 34, l_1, w	$l_1 \leq 0,1$ $L w \leq 0,1W$ l_1 shall be smaller than 1,0, and w shall be smaller than 0,2	$l_1 \leq 0,2L$ $w \leq 0,2W$ l_1 shall be smaller than 2,0, and w shall be smaller than 0,3
	The protrusion shall satisfy the minimum separation between a neighbouring conductor specified in 5.4.2.	
Pin hole (longer dimension l_2) illustrated in Figure 34	There shall be no pin hole	$0,05 \text{ dia.} \leq l_2 \leq 0,10 \text{ dia.}$ One defect per terminal and less than 10 % of the total terminal
		$0,10 \text{ dia.} < l_2 \leq 0,20 \text{ dia.}$ One defect per terminal and less than 2 % of the total terminal
		$l_2 > 0,20 \text{ dia.}$ No pin hole allowed
Colour change	No colour change that affect the performance of a product is allowed	
The defects for printed contacts not electrically connected are considered as defects in the area in Figure 33 for the entire contacts. The specification given in Table 26 for such an area is applicable to these contacts.		
Dimensions are in millimetres.		

7 Performance and test methods

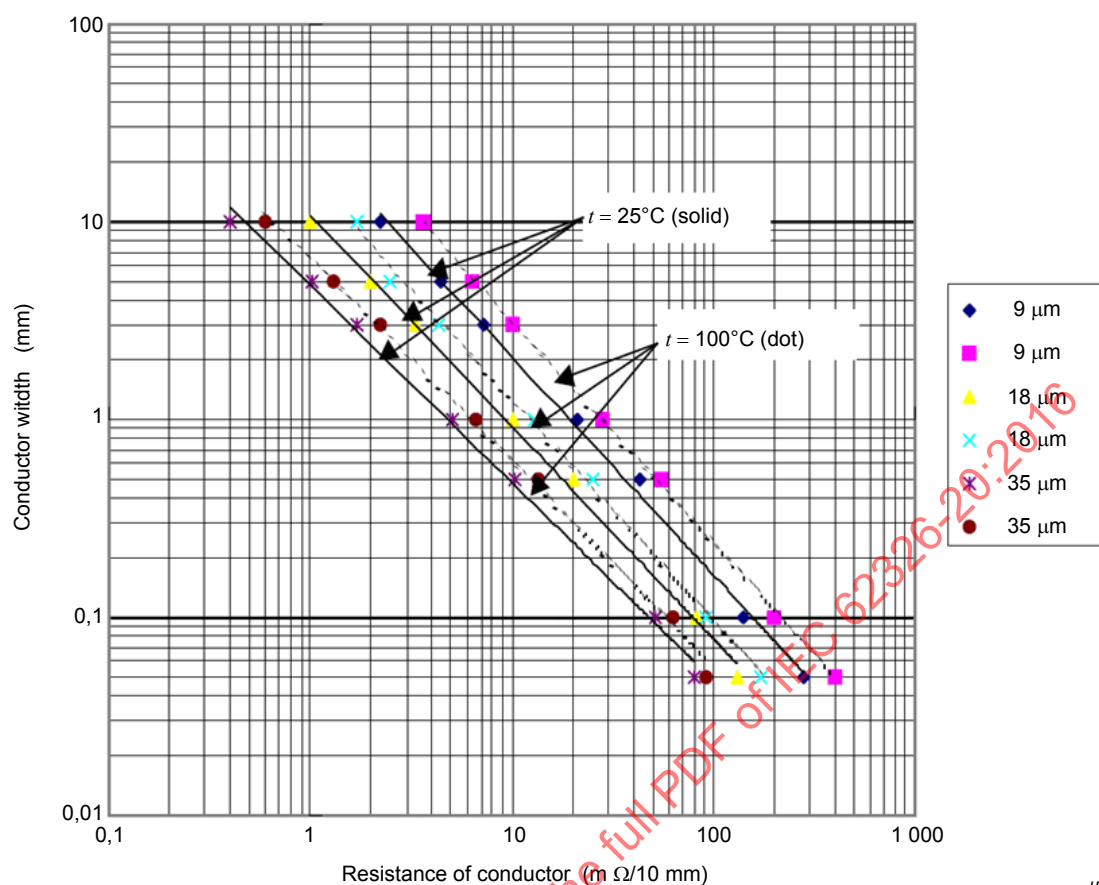
7.1 Resistance of conductors

Specification and test methods of conductor resistance are given in Table 27.

The relations between resistance and width, thickness and temperature of conductor are illustrated in Figure 35.

Table 27 – Specification and test methods of resistance of conductors

Item		Specification	Test method
Resistance of conductors	Conductor	Resistance value is AABUS. The relations between resistance and width, thickness and temperature of a conductor are shown in Figure 35 as a reference.	As per 10.12 of IEC 61189-3:2007
	Plated through-hole		As per 10.13 of IEC 61189-3:2007



IEC

NOTE The conductor width is kept constant, and the relative resistivity of copper is $\rho = 1,8 \times 10^{-6} \Omega\text{cm}$

Figure 35 – Relations between resistance and width, thickness and temperature of a conductor

7.2 Current proof of conductor and plated through hole

Specification and test methods of resistance of current proof are given in Table 28.

The relationship between current, conductor width and thickness and temperature rise are illustrated in Figure 36.

Table 28 – Specification and test methods of current proof

Item		Specification	Test method
Current proof	Conductor	AABUS.	IEC 62878-1-1
	Plated through-hole	The relations between current and width, thickness and temperature of a conductor are shown in Figure 36 as a reference.	

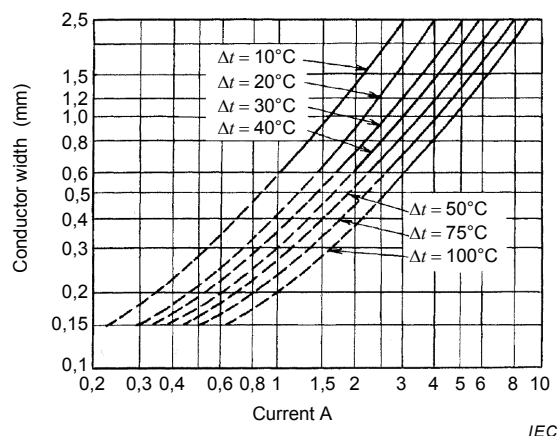


Figure 36 a – Conductor thickness is 18 µm

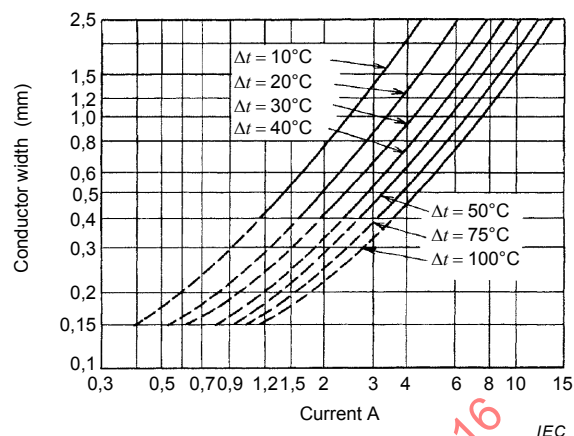


Figure 36 b – Conductor thickness is 35 µm

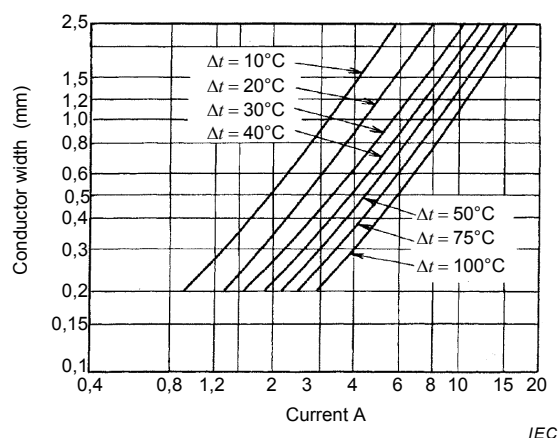


Figure 36 c – Conductor thickness is 70 µm

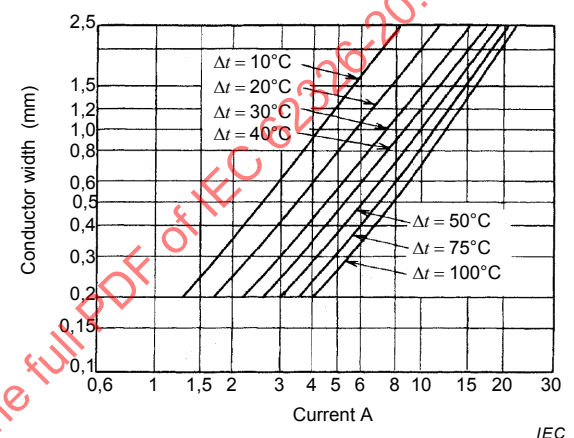


Figure 36 d – Conductor thickness is 105 µm

Figure 36 – Relationship between current, conductor width and thickness and temperature rise

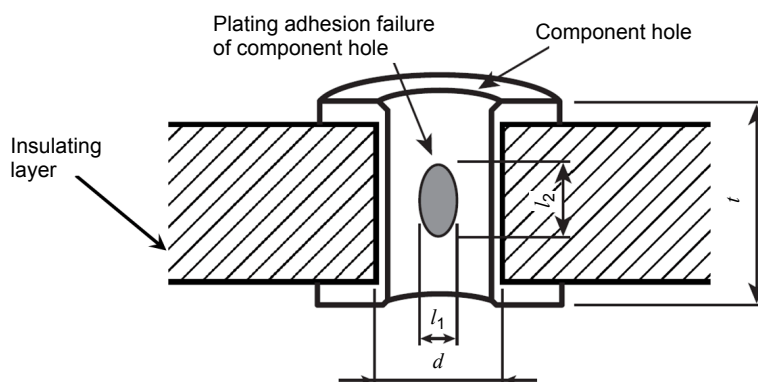
7.3 Observation of component mountings and vias

7.3.1 Observation with standard conditions

The holes and vias (d) shall satisfy the following specifications when observed by a naked eye, using a magnifying glass or by means of microsectioning.

- a) The holes for component insertion shall be satisfactory for lead insertion and following soldering.

The size of a lack of plating on the wall of a hole as illustrated in Figure 37 shall be less than 25 % of the circumference of a hole (l_1) and less than 25 % of the thickness direction of the board (l_2). The number of holes with defects shall be less than 5 % of the total number of holes.



IEC

$$l_1 \leq 0,25 \times \pi \times d$$

$$l_2 \leq 0,25 \times t$$

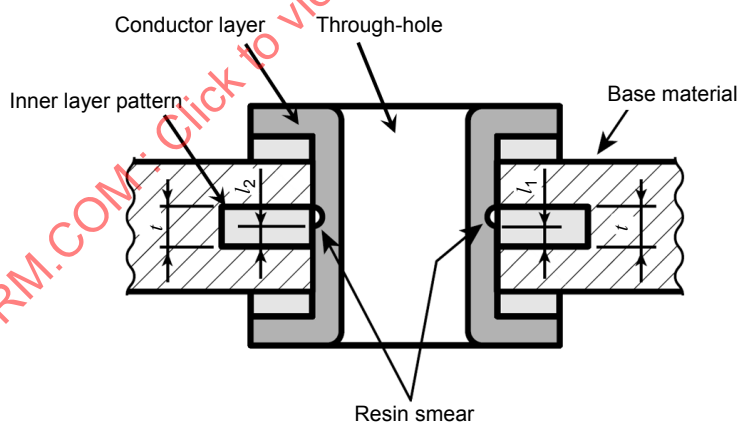
Figure 37 – Defect on a plating of a component hole

- b) Vias for electrical connection between conductor layers. Vias are for electrical connections. Neither defect in via formation nor defect in electric conduction (plating or filling of metal paste) shall be allowed and shall comply with the specifications 11 and 12 in Table 29.
- c) Resin smear: The allowance in the vertical microsection of resin smear as illustrated in Figure 38 shall comply with the following equation. The allowance in the horizontal microsection of a smear shall be as specified in Table 29.

$$l_1, l_2 > 1/3 t, \text{ and } l_1 + l_2 > t$$

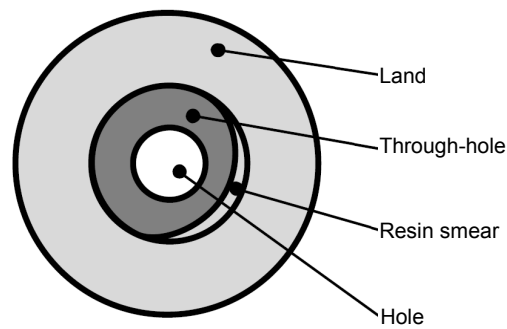
l_1, l_2 : Effective thickness of an inner layer excluding resin smear (μm).

t : Thickness of the inner layer relevant to resin smear (μm).



IEC

Figure 38 a – Vertical microsection



IEC

Figure 38 b – Horizontal microsection

Figure 38 – Resin smear

Table 29 – Allowance in horizontal sectioning

HDI PWB	Less than 10 % of hole circumference
Standard PWB	Less than 25 % of hole circumference

7.3.2 Observation after thermal shock test

The specimens for the thermal shock test described in Annex A shall be observed by microsectioning as specified in 12.9 of IEC 61189-3:2007 (Microsectioning), and shall comply with the following specification.

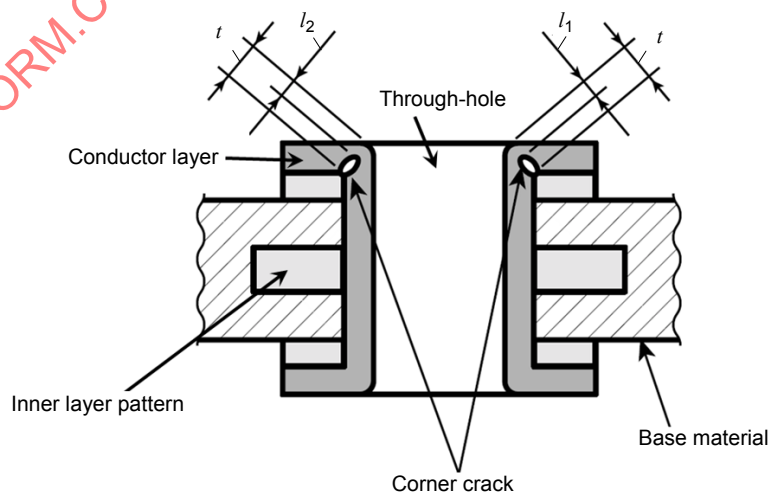
a) Corner crack, parallel crack and foil crack

The allowance in the vertical microsection of resin smear as illustrated in Figure 39, Figure 40 and Figure 41 shall comply with the following formula.

$$l_1, l_2 > 1/3t, \text{ and } l_1 + l_2 > t$$

l_1, l_2 : Effective thickness of copper foil for each side excluding resin smear (μm).

t : Total thickness of copper foil when there is no defect that can be considered as such (μm).



IEC

Figure 39 – Corner crack

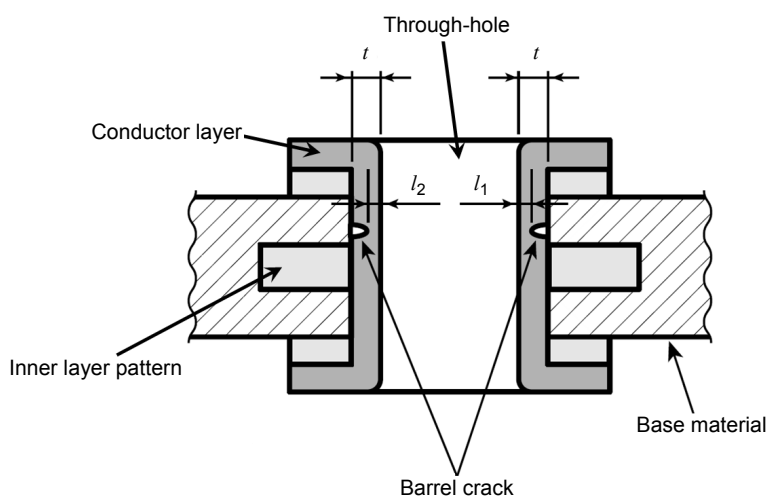


Figure 40 – Barrel crack

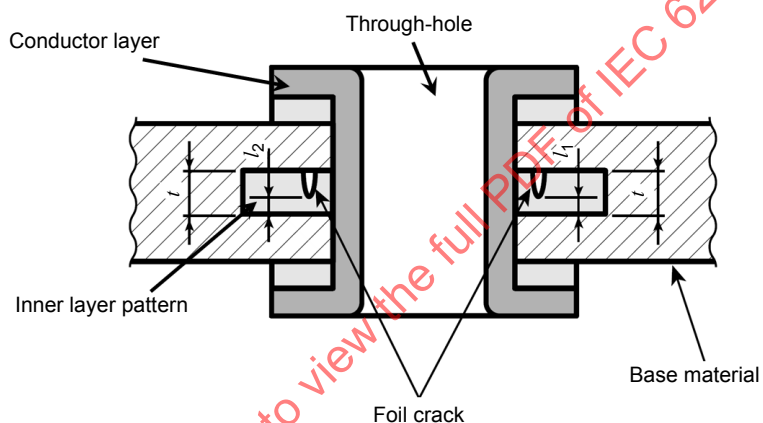


Figure 41 – Foil crack

8 Marking, packaging and storage

8.1 Marking on a product

Marking on a product shall be AABUS. The marking should include the following items.

- Name of the product and/or lot number
- Producer or its code
- Date of production

8.2 Marking on the package

Marking on a product shall be AABUS. The marking should include the following items.

- Name of the product and/or lot number
- Number of products in a package
- Date of production
- Producer or its code

8.3 Packaging and storage

8.3.1 Packaging

Packaging of a product should protect product damages such as scratches, and also should protect from moisture.

8.3.2 Storage

Storage of PWB shall be stored in a place where they can be protected from damage due to moisture.

IECNORM.COM : Click to view the full PDF of IEC 62326-20:2016

Annex A (informative)

Classification and class of the PCB for high-brightness LEDs

The study of thermal conductive parameters and heat transfer coefficient parameters indicate that the classification of PCB for high-brightness LEDs has become possible using these parameters.

Using thermal conductive parameter, resin-based PCB for high-brightness LEDs can be classified into two categories as follows:

- a) resin-based PCB for high-brightness LEDs having the thermal conductive parameter with more than 1 W/mK;
- b) resin-based PCB for high-brightness LEDs having the thermal conductive parameter with less than 1 W/mK.

In addition, using the heat transfer coefficient parameter ($\text{W/m}^2\text{K}$), the further classifications as follows have become possible:

- c) heat transfer coefficient parameter of resin-based PCB for high-brightness LEDs, less than $10 \text{ W/m}^2\text{K}$;
- d) heat transfer coefficient parameter of metal or ceramic-based PCB for high-brightness LEDs, more than $10 \text{ W/m}^2\text{K}$.

Figure A.1 and Table A.1 indicate the detailed information on the classification and class of the PCB for high-brightness LEDs based upon the thermal conductive parameter and heat transfer coefficient parameter.

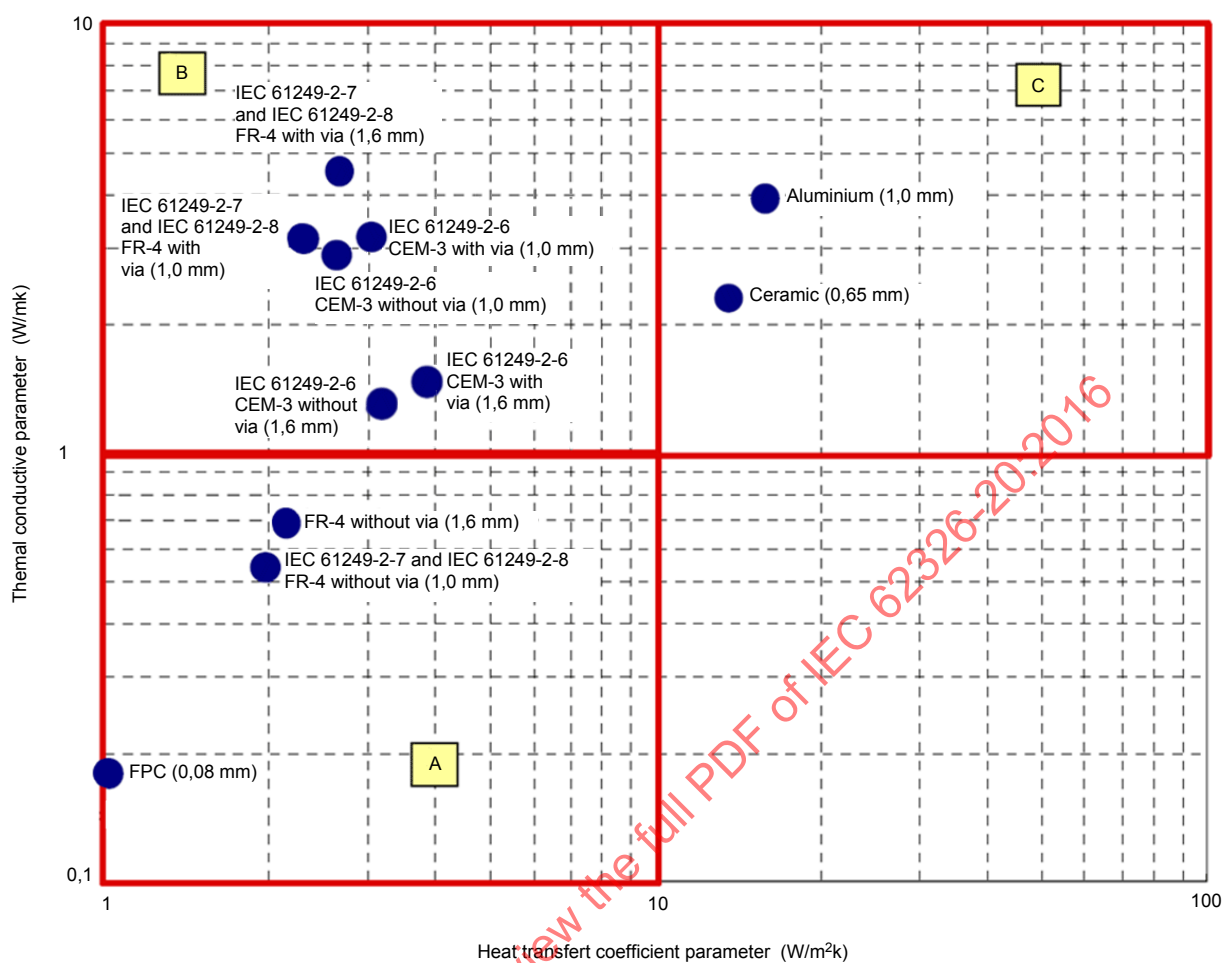


Figure A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter

Table A.1 – Relation between thermal conductive parameter and heat transfer coefficient parameter

(Mapping by zone)

Items		Heat transfer coefficient parameter (W/(m²K))	
		<10	10≤
Thermal conductive parameter (W/(mK))	<1	A	–
	1≤	B	C

Table A.2 lists related test method standards.

Table A.2 – Related test methods

Test	Name of test and equipment	IEC	ISO
	Test methods for electrical materials, interconnection structures and assemblies – Part 2: Test methods for materials for interconnection structures	IEC 61189-2	
	Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 3: Test methods for interconnection structures (printed boards)	IEC 61189-3	
Environmental tests	Environmental testing – Part 1: General and guidance	IEC 60068-1	
	Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 1: General test methods and methodology	IEC 61189-1	
	Testing condition and environment for plastics		ISO 291
Visual test and micro-sectioning	IEC 61198-3		
Dimensions	IEC 61189-3		
	Venire gauge		ISO 6906 ISO 3599
	Micrometer		ISO 3611
	Height gauge	—	—
	Precision plate		ISO 8512-1 ISO 8512-2
	Gap gauge	—	—
Electrical tests	IEC 61189-3		
Conductor resistance	IEC 61189-3	3E12	
Withstand current	IEC 61189-3	3E15	
Withstand voltage	IEC 61189-3	3E09, 3E10	
AC voltage	IEC 61189-3	3E09, 3E10	
DC voltage	IEC 61189-3	3E09, 3E10	
Insulation resistance	IEC 61189-3	3E03, surface layer 3E05, between layers	
Circuit isolation and conductivity	IEC 61189-3	3E01, isolation 3E02, continuity	
Mechanical tests	IEC 61189-3		
Peel strength	IEC 61189-3	3M01, standard atmosphere	
Peeling strength of land without plated land hole	IEC 61189-3	3M07	
Pulling strength of plated-through hole for component mounting	IEC 61189-3	3M03	
Pulling strength of land pattern land	IEC 61189-3	3M07	
Adhesivity of plating	IEC 61189-3	3M01	

Test	Name of test and equipment	IEC	ISO
Pressure sensitive tape Adhesive tape and sheet		3M01 —	— ISO 29862 ISO 29863 ISO 29864
Adhesivity of solder resist and legend Cross cut test Pressure sensitive tape Adhesive tape and sheet Carbon steel cutter knife	IEC 61189-3	3M01	
	IEC 61189-3	IEC 61189-3	ISO 2409
		IEC 61189-3 —	— ISO 29862 ISO 29863 ISO 29864
			ISO 4957
Coated film hardness (solder resist and legend)	IEC 61189-3	3M01	
	Paint test, general (scratch hardness)		ISO 15184
	Pencil, colour pencil and lead used		ISO 9180
	Polishing paper		ISO 3366 ISO 21948
Environmental tests	IEC 61189-3		
High temperature	Environmental testing – IEC 60068-2-2: Test B: Dry heat	IEC 60068-2-2	
Low temperature	IEC 60068-2-1: Test A: Cold	IEC 60068-2-1	
Thermal shock (high and low temperatures)	IEC 61189-3	3N01 to 3N05	
	IEC 60068-2-14: Test N: Change of temperature	IEC 60068-2-14	
	IEC 60068-2-30: Test Db: Damp heat, cyclic (12 h + 12 h cycle)	IEC 60068-2-30	
	IEC 60068-2-38: Test Z/AD: Composite temperature/ humidity cyclic test	IEC 60068-2-38	
Resistance to humidity	IEC 61189-3	3N06	
	IEC 60068-2-78: Test Cab: Damp heat, steady state	IEC 60068-2-78	
Migration	IEC/TR 62866 Ed.1	3E20	—
	IEC 60068-2-66: Test Cx: Damp heat, steady state (unsaturated pressurized vapour)	IEC 60068-2-66	
	Flux for soldering		ISO 9455
Vibration	IEC 60068-2-53: Tests and guidance – Combined climatic (temperature/humidity) and dynamic (vibration/shock) tests	IEC 60068-2-53	
	IEC 60068-2-6: Test Fc: Vibration (sinusoidal)	IEC 60068-2-6	
	IEC 60068-2-64: Test Fh: Vibration, broadband random and guidance	IEC 60068-2-64	
	IEC 60068-2-80: Test Fi: Vibration – Mixed mode	IEC 60068-2-80	
	Surface mounting technology – Environmental and endurance test methods for surface mount solder joint IEC 62137-1-3 Cyclic drop test	IEC 62137-1-3	
Drop shock	IEC 62137-1-4: Cyclic bending test	IEC 62137-1-4	—

Test	Name of test and equipment	IEC	ISO
Bending	IEC 60068-2-21: Test U: Robustness of terminations and integral mounting devices	IEC 60068-2-21	—
Screwing			
Chemical tests	IEC 61189-3		
Flammability	IEC 61189-3	3C03 (to be revised)	
Resistance to chemicals	IEC 61189-3	3C04	
Solderability	IEC 60068-2-58: Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices	IEC 60068-2-58	
	Attachment materials for electronic assembly – Part 1-1: Requirement for soldering fluxes for high-quality interconnections in electronic assemblies	IEC 61190-1-1	ISO 9453 ISO 9454-1 ISO 9445-1
	IEC 61190-1-2: Requirements for soldering pastes	IEC 61190-1-2	
	IEC 61190-1-3: Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solder	IEC 61190-1-3	
	IEC 61189-11: Measurement of melting temperature and melting temperature ranges of solder alloys	IEC 61189-11	
	Rosin	—	—
	Propanol		ISO 6353-3
	Ethanol		ISO 6353-2
Resistance to soldering heat	IEC 60068-2-20: Test T: Test methods for solderability and resistance to soldering heat of devices with leads	IEC 60068-2-20	
	IEC 60068-2-58: Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)	IEC 60068-2-58	
	IEC 60068-2-20: Test T: Test methods for solderability and resistance to soldering heat of devices with leads	IEC 60068-2-20	
Thermal resistance of solder resist and legend	IEC 61189-3	IEC 61189-3	

Bibliography

- IEC 60068-1, *Environmental testing – Part 1: General and guidance*
- IEC 60068-2-1, *Environmental testing – Part 2-1: Tests – Test A: Cold*
- IEC 60068-2-2, *Environmental testing – Part 2-2: Tests – Test B: Dry heat*
- IEC 60068-2-6, *Environmental testing – Part 2-6: Tests – Test Fc: Vibration (sinusoidal)*
- IEC 60068-2-20, *Environmental testing – Part 2-20: Tests – Test T: Test methods for solderability and resistance to soldering heat of devices with leads*
- IEC 60068-2-21, *Environmental testing – Part 2-21: Test U: Robustness of terminations and integral mounting devices*
- IEC 60068-2-30, *Environmental testing – Part 2-30: Tests – Test Db: Damp heat, cyclic (12 h + 12 h cycle)*
- IEC 60068-2-38, *Environmental testing – Part 2-38: Tests – Test Z/AD: Composite temperature/humidity cyclic test*
- IEC 60068-2-53, *Environmental testing – Part 2-53: Tests and guidance – Combined climatic (temperature/humidity) and dynamic (vibration/shock) tests*
- IEC 60068-2-58, *Environmental testing – Part 2-58: Tests – Test Td: Test methods for solderability, resistance to dissolution of metallization and to soldering heat of surface mounting devices (SMD)*
- IEC 60068-2-64, *Environmental testing – Part 2-64: Tests – Test Fh: Vibration, broadband random and guidance*
- IEC 60068-2-66, *Environmental testing – Part 2-66: Test methods – Test Cx: Damp heat, steady state (unsaturated pressurized vapour)*
- IEC 60068-2-78, *Environmental testing – Part 2-78: Test Cab: Damp heat, steady state*
- IEC 60068-2-80, *Environmental testing – Part 2-80: Tests – Test Fi: Vibration – Mixed mode*
- IEC 61189-1, *Test methods for electrical materials, interconnection structures and assemblies – Part 1: General test methods and methodology*
- IEC 61189-2, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 2: Test methods for materials for interconnection structures*
- IEC 61189-11, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 11: Measurement of melting temperature or melting temperature ranges of solder alloys*
- IEC 61189-3-913, *Test methods for electrical materials, printed boards and other interconnection structures and assemblies – Part 3-913: Test method for thermal conductivity of printed circuit boards for high-brightness LEDs*
- IEC 61190-1-1, *Attachment materials for electronic assembly – Part 1-1: Requirements for soldering fluxes for high-quality interconnections in electronics assembly*

IEC 61190-1-2, *Attachment materials for electronic assembly – Part 1-2: Requirements for soldering pastes for high-quality interconnects in electronics assembly*

IEC 61190-1-3, *Attachment materials for electronic assembly – Part 1-3: Requirements for electronic grade solder alloys and fluxed and non-fluxed solid solders for electronic soldering applications*

IEC 61249-2-8, *Materials for printed boards and other interconnecting structures – Part 2-8: Reinforced base materials clad and unclad – Modified brominated epoxide woven fibreglass reinforced laminated sheets of defined flammability (vertical burning test), copper-clad*

IEC 62137-1-3, *Surface mounting technology – Environmental and endurance test methods for surface mount solder joint – Part 1-3: Cyclic drop test*

IEC 62137-1-4, *Surface mounting technology – Environmental and endurance test methods for surface mount solder joint – Part 1-4: Cyclic bending test*

IEC 62326-1, *Printed boards – Generic specification*

IEC 62326-4, *Printed boards – Part 4: Rigid multilayer printed boards with interlayer connections – Sectional specification*

IEC TR 62866:2014, *Electrochemical migration in printed wiring boards and assemblies – Mechanisms and testing*

ISO 291, *Plastics – Standard atmospheres for conditioning and testing*

ISO 2409, *Paints and varnishes – Cross-cut test*

ISO 3366, *Coated abrasives – Abrasive rolls*

ISO 3599, *Vernier callipers reading to 0,1 and 0,05 mm (withdrawn)*

ISO 3611, *Geometrical product specifications (GPS) – Dimensional measuring equipment: Micrometers for external measurements – Design and metrological characteristics*

ISO 4957, *Tool steels*

ISO 6353-2, *Reagents for chemical analysis – Part 2: Specifications – First series*

ISO 6353-3, *Reagents for chemical analysis – Part 3: Specifications – Second series*

ISO 6906, *Vernier callipers reading to 0,02 mm (withdrawn)*

ISO 8512-1, *Surface plates – Part 1: Cast iron*

ISO 8512-2, *Surface plates – Part 2: Granite*

ISO 9180, *Black leads for wood-cased pencils – Classification and diameters*

ISO 9445-1, *Continuously cold-rolled stainless steel – Tolerances on dimensions and form – Part 1: Narrow strip and cut lengths*

ISO 9453, *Soft solder alloys – Chemical compositions and forms*

ISO 9454-1, *Soft soldering fluxes – Classification and requirements – Part 1: Classification, labelling and packaging*

ISO 9455 (all parts), *Soft soldering fluxes – Test methods*

ISO 13385-1, *Geometrical product specifications (GPS) – Dimensional measuring equipment – Part 1: Callipers; Design and metrological characteristics*

ISO 15184, *Paints and varnishes – Determination of film hardness by pencil test*

ISO 21948, *Coated abrasives – Plain sheets*

ISO 29862, *Self adhesive tapes – Determination of peel adhesion properties*

ISO 29863, *Self adhesive tapes – Measurement of static shear adhesion*

ISO 29864, *Self adhesive tapes – Measurement of breaking strength and elongation at break*

IECNORM.COM : Click to view the full PDF of IEC 62326-20:2016

IECNORM.COM : Click to view the full PDF of IEC 62326-20:2016

SOMMAIRE

AVANT-PROPOS.....	54
1 Domaine d'application.....	56
2 Références normatives	56
3 Termes, définitions et abréviations	56
3.1 Termes et définitions	56
3.2 Abréviations	56
4 Classification et classe des cartes de circuits imprimés destinées aux LED à haute luminosité.....	57
5 Règles de conception et tolérance	58
5.1 Dimensions du panneau et des cartes	58
5.1.1 Dimensions de la carte.....	58
5.1.2 Tolérance des dimensions.....	59
5.1.3 Perforations et fentes.....	59
5.1.4 Coupe en V.....	60
5.2 Epaisseur totale de la carte	61
5.3 Trous	62
5.3.1 Trous d'insertion et trous de liaison	62
5.3.2 Trou de référence	65
5.3.3 Trou d'assemblage (trou traversant sans parois métallisées).....	65
5.4 Conducteur	65
5.4.1 Largeur de l'impression conductrice et tolérance.....	65
5.4.2 Distance entre les conducteurs et tolérance.....	66
5.4.3 Epaisseur de la couche isolante	67
5.5 Contact imprimé.....	67
5.5.1 Tolérance de distance entre les centres de deux contacts imprimés adjacents	67
5.5.2 Tolérance de largeur des bornes des contacts imprimés	68
5.5.3 Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte.....	68
5.6 Zone de report	69
5.6.1 Tolérance de distance entre les centres de deux pastilles	69
5.6.2 Tolérance de largeur des pastilles	69
5.6.3 Diamètre des pastilles et tolérance pour BGA/CSP	70
5.7 Repère conventionnel et repère de positionnement des composants	71
5.7.1 Forme et dimensions types du repère conventionnel	71
5.7.2 Tolérance de dimension du repère conventionnel et du repère de positionnement des composants.....	72
5.7.3 Tolérance de position du repère de positionnement des composants.....	72
5.8 Connexion entre couches – Métallisation en cuivre	72
6 Qualité	73
6.1 Espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison	73
6.2 Ecart de position entre les couches conductrices d'une carte multicouche	73
6.3 Largeur de pastille minimale.....	73
6.4 Traitements de surface.....	74
6.4.1 Métallisation en or d'un contact imprimé	74
6.4.2 Autres traitements de surface.....	75

6.5	Défauts d'épargne de brasure.....	75
6.6	Marque de symbole.....	77
6.6.1	Généralités.....	77
6.6.2	Surface du conducteur.....	77
6.6.3	Entre les conducteurs.....	78
6.6.4	Défauts dans les couches isolantes.....	78
6.6.5	Routage et perçage.....	79
6.6.6	Impression conductrice.....	79
6.7	Pastille.....	80
6.8	Pastille d'une zone de report.....	80
6.9	Défauts dans une pastille pour un montage BGA/CSP.....	81
6.10	Contact imprimé.....	81
7	Performances et méthodes d'essai.....	83
7.1	Résistance des conducteurs.....	83
7.2	Epreuve de courant d'un conducteur et d'un trou traversant métallisé.....	84
7.3	Observation du montage des composants et des trous de liaison.....	85
7.3.1	Observation dans des conditions normalisées.....	85
7.3.2	Observation après l'essai de choc thermique.....	87
8	Marquage, emballage et stockage.....	88
8.1	Marquage d'un produit.....	88
8.2	Marquage d'un emballage.....	88
8.3	Emballage et stockage.....	89
8.3.1	Emballage.....	89
8.3.2	Stockage.....	89
Annexe A (informative) Classification et classe des cartes PCB pour LED à haute luminosité.....		90
Bibliographie.....		95
Figure 1 – Exemple de classification et de son application.....		58
Figure 2 – Disposition des cartes sur un panneau.....		59
Figure 3 – Distance entre le point de référence et les perforations et les fentes.....		60
Figure 4 – Distance entre le point de référence et la coupe en V.....		60
Figure 5 – Tolérance d'écart de position des coupes en V pour les plans avant et arrière.....		61
Figure 6 – Carte de circuit imprimé avec marque de symbole, épargne de brasure, feuille de cuivre et métallisation.....		61
Figure 7 – Positions d'un trou d'insertion de composants.....		63
Figure 8 – Distance entre la paroi d'un trou et l'extrémité de la carte.....		64
Figure 9 – Paroi d'un trou et espacement de conception minimal par rapport au conducteur intérieur.....		65
Figure 10 – Largeur du conducteur fini.....		66
Figure 11 – Distance entre le conducteur et l'extrémité de la carte.....		67
Figure 12 – Epaisseur de la couche isolante.....		67
Figure 13 – Distance entre les centres des bornes des contacts imprimés.....		68
Figure 14 – Largeurs des bornes des contacts imprimés.....		68
Figure 15 – Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte.....		69

Figure 16 – Zone de report.....	69
Figure 17 – Largeur des pastilles d'une zone de report.....	70
Figure 18 – Diamètre des pastilles pour les BGA/CSP formés exclusivement d'un conducteur	70
Figure 19 – Diamètre des pastilles (d) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure	71
Figure 20 – Exemples de repère conventionnel et de repère de positionnement des composants	72
Figure 21 – Largeur de pastille minimale	74
Figure 22 – Exposition du conducteur.....	75
Figure 23 – Largeur de pastille minimale provoquée par le décalage de l'épargne de brasure.....	76
Figure 24 – Chevauchement, coulure et décalage de l'épargne de brasure.....	76
Figure 25 – Exemples de coulure ou d'élément flou	77
Figure 26 – Exemple de blanchiment au croisement des fibres	78
Figure 27 – Exemple de délabrement	78
Figure 28 – Entaille de conducteur	79
Figure 29 – Résidu de conducteur.....	79
Figure 30 – Pastille.....	80
Figure 31 – Défauts dans une pastille d'une zone de report	80
Figure 32 – Défauts dans des pastilles pour un montage BGA/CSP	81
Figure 33 – Zones d'un contact imprimé qui doivent faire l'objet d'une recherche de défauts	82
Figure 34 – Défauts dans un contact imprimé	82
Figure 35 – Relations entre la résistance, la largeur, l'épaisseur et la température d'un conducteur	84
Figure 36 – Relation entre le courant, la largeur et l'épaisseur du conducteur, ainsi que l'échauffement	85
Figure 37 – Défauts sur la métallisation d'un trou de composant	86
Figure 38 – Coulée de résine	87
Figure 39 – Fissure sur l'angle	87
Figure 40 – Fissure sur le fût	88
Figure 41 – Fissure sur la feuille	88
Figure A.1 – Relation entre le paramètre de conductivité thermique et le paramètre de coefficient de transfert thermique	91
Tableau 1 – Application et classification	57
Tableau 2 – Dimensions des panneaux	59
Tableau 3 – Tolérance des dimensions.....	59
Tableau 4 – Tolérance de distance entre le point de référence et les perforations et les fentes.....	60
Tableau 5 – Tolérance de distance entre le point de référence et le centre de la coupe en V61	
Tableau 6 – Epaisseur totale et tolérance.....	62
Tableau 7 – Tolérance relative aux trous d'insertion de composants	62
Tableau 8 – Tolérance de position d'un trou d'insertion de composants.....	63

Tableau 9 – Distance entre la paroi d'un trou et l'extrémité de la carte	64
Tableau 10 – Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure	64
Tableau 11 – Tolérance de largeur du conducteur	66
Tableau 12 – Tolérance de distance entre les conducteurs	66
Tableau 13 – Tolérance de distance entre les centres de deux pastilles	68
Tableau 14 – Tolérance de distance entre les centres de deux pastilles	69
Tableau 15 – Tolérance de largeur des pastilles d'une zone de report.....	70
Tableau 16 – Diamètre des pastilles et tolérance pour les BGA/CSP.....	71
Tableau 17 – Tolérance de diamètre des pastilles (d) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure	71
Tableau 18 – Formes et dimensions des repères types conventionnels et de positionnement des composants	72
Tableau 19 – Epaisseur minimale de la métallisation en cuivre	72
Tableau 20 – Epaisseur minimale de la métallisation en cuivre	73
Tableau 21 – Largeur de pastille minimale	76
Tableau 22 – Chevauchement, coulure et décalage de l'épargne de brasure sur une simulation d'impression.....	77
Tableau 23 – Tolérance de largeur restante et de saillie d'une pastille dont la zone comporte un défaut.....	80
Tableau 24 – Défauts dans une pastille d'une zone de report.....	81
Tableau 25 – Défauts dans des pastilles pour un montage BGA/CSP	81
Tableau 26 – Défauts dans un contact imprimé.....	83
Tableau 27 – Spécification et méthodes d'essai relatives à la résistance des conducteurs.....	84
Tableau 28 – Spécification et méthodes d'essai relatives à l'épreuve de courant.....	85
Tableau 29 – Tolérance relative à la section horizontale.....	87
Tableau A.1 – Relation entre le paramètre de conductivité thermique et le paramètre de coefficient de transfert thermique	91
Tableau A.2 – Méthodes d'essai associées	91

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES –

**Partie 20: Cartes de circuits imprimés
destinées aux LED à haute luminosité**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62326-20 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Cette première édition annule et remplace l'IEC/PAS 62326-20 parue en 2011 et constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) la présente édition se concentre sur le contenu technique des cartes de circuits imprimés destinées aux diodes électroluminescentes (LED) à haute luminosité;
- b) les figures relatives aux cartes de circuits imprimés destinées aux LED à haute luminosité ont été affinées.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/1311/FDIS	91/1330/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Une liste de toutes les parties de la série IEC 62326, publiées sous le titre *Cartes imprimées*, peut être consultée sur le site web de l'IEC.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

CARTES IMPRIMÉES –

Partie 20: Cartes de circuits imprimés destinées aux LED à haute luminosité

1 Domaine d'application

La présente partie de l'IEC 62326 spécifie les propriétés des cartes de circuits imprimés (ci-après dénommées PCB, *Printed Circuit Board*) destinées aux LED à haute luminosité. Les PCB destinées aux LED à haute luminosité partagent avec les PCB ordinaires de nombreux aspects. Certains aspects d'ordre général sont donc décrits dans la présente norme.

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, *Conception, fabrication et assemblage des cartes imprimées – Termes et définitions*

IEC 61189-3:2007, *Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles – Partie 3: Méthodes d'essai des structures d'interconnexion*

IEC 61249-2-6, *Matériaux pour circuits imprimés et autres structures d'interconnexion – Partie 2-6: Matériaux de base renforcés, plaqués et non plaqués – Feuilles stratifiées renforcées en verre de type E époxyde bromé tissé/non tissé, d'inflammabilité définie (essai de combustion verticale), plaquées cuivre*

IEC 61249-2-7, *Matériaux pour circuits imprimés et autres structures d'interconnexion – Partie 2-7: Matériaux de base renforcés, plaqués et non plaqués – Feuille stratifiée tissée de verre E avec de la résine époxyde, d'inflammabilité définie (essai de combustion verticale), plaquée cuivre*

IEC 62878-1-1, *Substrat avec appareil(s) intégré(s) – Partie 1-1: Spécification générique – Méthodes d'essai*

3 Termes, définitions et abréviations

3.1 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60194 s'appliquent.

3.2 Abréviations

AABUS Accord entre l'utilisateur et le fournisseur (*As Agreed Between User and Supplier*)

BGA Boîtier matriciel à billes (*Ball Grid Array*)

CCL Stratifié plaqué cuivre (*Copper clad laminate*)

COB Puce sur carte (*Chip On Board*)

CSP	Boîtier-puce (<i>Chip Size Package</i>)
DHI	Décharge à haute intensité (<i>HID, High Intensity Discharge</i>)
LED	Diode électroluminescente (<i>Light Emitting Diode</i>)
PCB	Carte de circuit imprimé (<i>Printed Circuit Board</i>)
PWB	Carte à câblage imprimé (<i>Printed Wiring Board</i>)

4 Classification et classe des cartes de circuits imprimés destinées aux LED à haute luminosité

Les PCB pour LED à haute luminosité spécifiées dans la présente norme doivent satisfaire aux spécifications des classes A à C décrites au Tableau 1 et à la Figure 1 comme indiqué ci-après. Les matériaux utilisés pour les cartes à câblage imprimé (PWB, Printed Wiring Board) ne sont pas spécifiés, mais ils doivent toutefois faire l'objet d'un accord entre l'utilisateur et le fournisseur (AABUS, As Agreed Between User and Supplier) en fonction de la zone d'application des cartes considérées. La Figure 1 est un exemple de classification et d'application en fonction des matériaux de base, PCB pour LED à haute luminosité et produits finaux.

Tableau 1 – Application et classification

Classification principale (conductivité thermique)	Définition	Classification secondaire (propriété d'isolement)	Définition	Paramètre de conductivité thermique W/(mK)	Paramètre de transfert thermique W/(m²K)	Impédance thermique (Km²/W)
A	Cartes normalisées	I	Aucune spécification	<1	<10	L'impédance thermique peut être calculée à partir de la mesure de la conductivité thermique et du paramètre de transfert thermique inversé.
		II	Rigidité électrique <1 000 V			
		III	Rigidité électrique ≥1 000 V			
B	Cartes à conductivité thermique	I	Aucune spécification	≥1	<10	
		II	Rigidité électrique <1,000 V			
		III	Rigidité électrique ≥1 000 V			
C	Cartes à conductivité thermique élevée	I	Aucune spécification	≥1	≥10	
		II	Rigidité électrique <1 000 V			
		III	Rigidité électrique ≥1 000 V			

Rayonnement thermique	A			B			C		
Classification par matériaux de base	Substrat en résine IEC 61249-2-6 et IEC 61249 2-7 (CEM-3, FR 4)			Substrat en résine (avec trou de liaison thermique)			Substrat à noyau métallique Substrat à base métallique Substrat en céramique		
	Substrat de type souple			Substrat en résine à conductivité thermique élevée					
Classification par cartes de circuits électroniques	Substrat conventionnel pour les cartes montées sur des pièces électroniques de type discret								
				Substrat pour boîtier semi-conducteur					
				Substrat pour puce sur carte (COB, Chip on Board)					
Classification par produits finaux	Lampe pour éclairage d'assistance						Substitut de lampe pour remplacement de lampe fluorescente		
				Substitut de lampe pour lampe halogène					
				Substitut de lampe pour remplacement de lampe fluorescente					
				Substitut de lampe pour lampe à filament					
				Lampadaire					
							Substitut de lampe pour remplacement de lampe fluorescente		
Classe d'isolement	I	II	III	I	II	III	I	II	III

IEC

Figure 1 – Exemple de classification et de son application

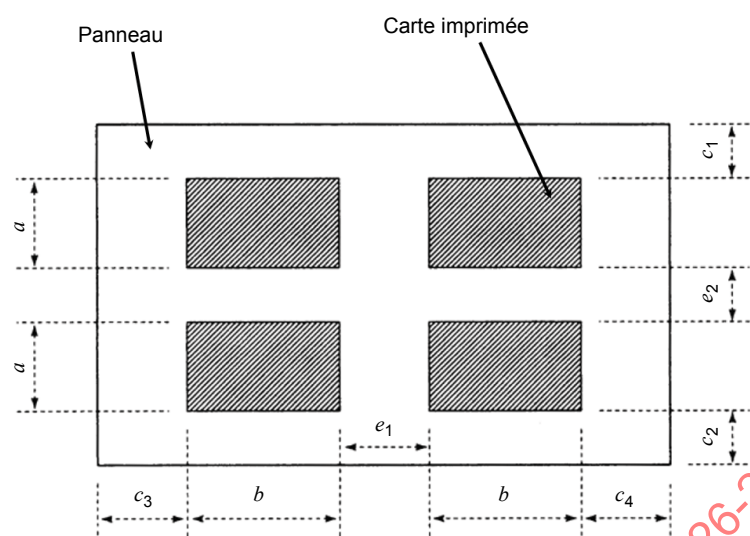
5 Règles de conception et tolérance

5.1 Dimensions du panneau et des cartes

5.1.1 Dimensions de la carte

NOTE Les informations concernant les dimensions de la carte sont données à titre de référence seulement.

Il convient de sélectionner les dimensions de la carte du produit ($a \times b$) présenté à la Figure 2 de manière à ce que les cartes puissent être disposées de manière optimale sur un panneau qui dispose des dimensions spécifiées au Tableau 2. Ces dimensions sont données à titre d'information seulement. Sinon, un panneau approprié avec les dimensions indiquées au Tableau 2 doit être sélectionné afin de satisfaire aux exigences de disposition optimale des cartes.

**Légende**

Dimension de la carte du produit: $a \times b$

Espace entre les extrémités de la carte et du panneau: c_1, c_2, c_3, c_4

Espace entre les cartes: e_1, e_2

Figure 2 – Disposition des cartes sur un panneau

Tableau 2 – Dimensions des panneaux

Dimensions du panneau CCL	Division			
	4	6	8	9
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333
1 000 × 1 200	500 × 600	333 × 600 400 × 500	300 × 500	333 × 400
Dimensions en millimètres.				

5.1.2 Tolérance des dimensions

La tolérance des dimensions pour une carte ou un panneau est donnée au Tableau 3.

Tableau 3 – Tolérance des dimensions

Longueur mm	Tolérance
100	$\pm 0,2$ mm
100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm.

5.1.3 Perforations et fentes

La Figure 3 présente les perforations et les fentes. Les tolérances de distance entre le point de référence et le centre de la coupe des perforations et des fentes sont données au Tableau 4.

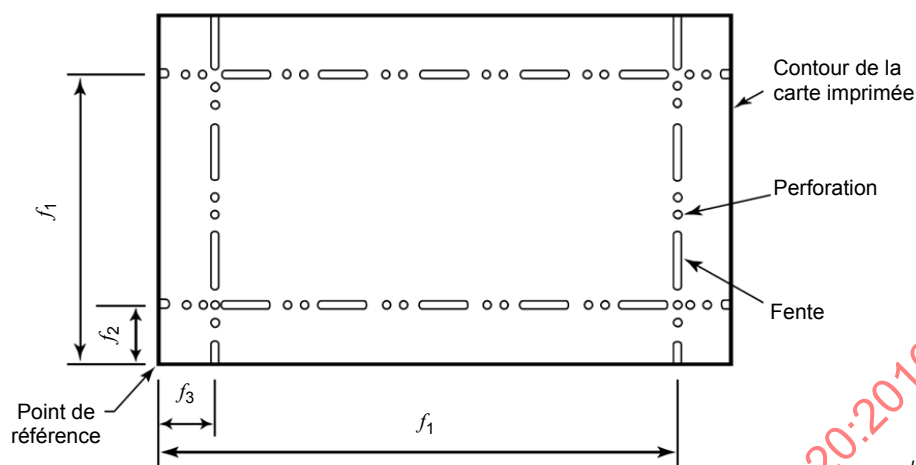


Figure 3 – Distance entre le point de référence et les perforations et les fentes

Tableau 4 – Tolérance de distance entre le point de référence et les perforations et les fentes

Distance entre le point de référence et les perforations et les fentes mm	Tolérance
≤ 100	$\pm 0,2$ mm
> 100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm.

5.1.4 Coupe en V

La coupe en V est présentée à la Figure 4 et à la Figure 5. La tolérance de distance entre le point de référence et le centre de la coupe en V (g_1 à g_4) est donnée au Tableau 5. La tolérance d'écart de position de la coupe en V pour les plans avant et arrière est de 0,2 mm. La tolérance d'épaisseur totale de la carte est la somme de la tolérance d'épaisseur de la carte $\pm 0,1$ mm.

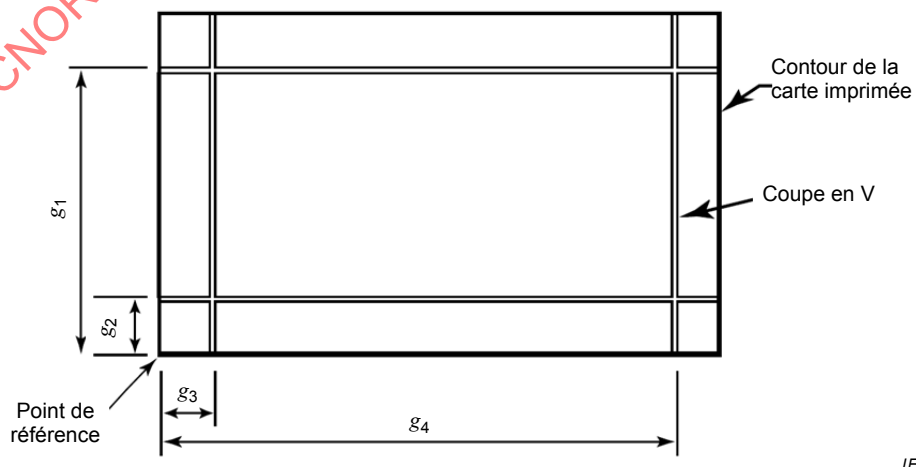


Figure 4 – Distance entre le point de référence et la coupe en V

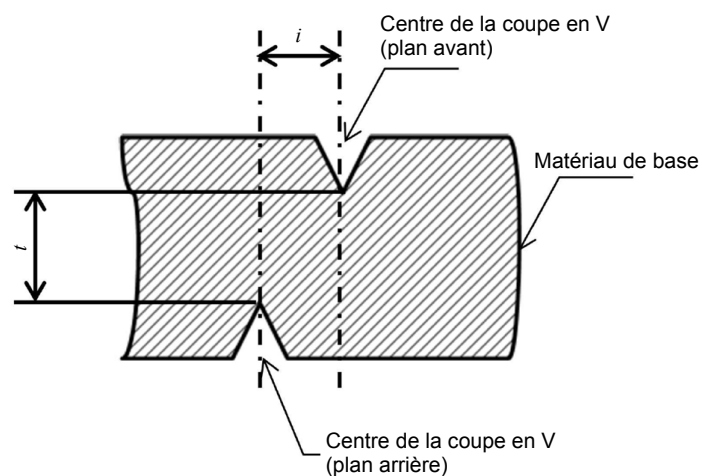


Figure 5 – Tolérance d'écart de position des coupes en V pour les plans avant et arrière

Tableau 5 – Tolérance de distance entre le point de référence et le centre de la coupe en V

Distance entre le point de référence et le centre de la coupe en V mm	Tolérance
≤ 100	$\pm 0,2$ mm
> 100	Pour une longueur supérieure à 100 mm, ajouter 0,1 mm tous les 50 mm

5.2 Epaisseur totale de la carte

La tolérance d'épaisseur totale de la carte (t) et ses marques de symboles sont présentées à la Figure 6 et données au Tableau 6.

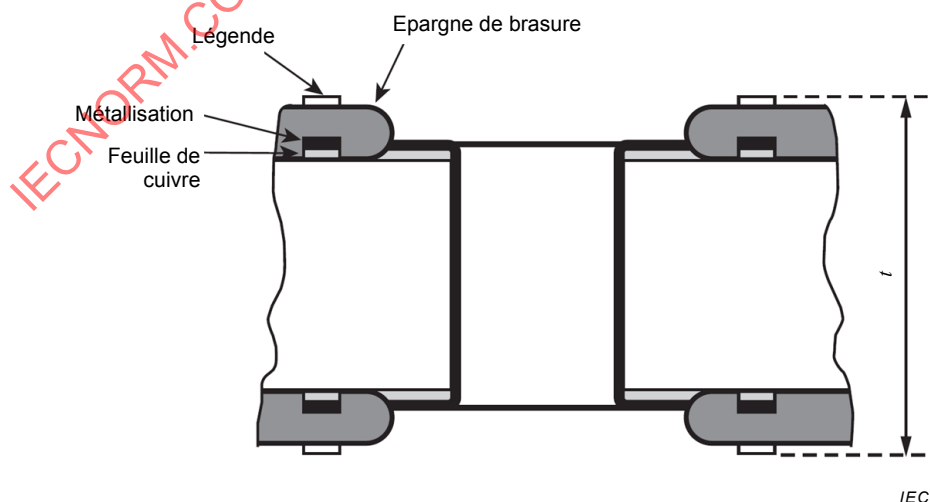


Figure 6 – Carte de circuit imprimé avec marque de symbole, épargne de brasure, feuille de cuivre et métallisation

Tableau 6 – Epaisseur totale et tolérance

Epaisseur totale (valeur centrale de la carte finale) t	Tolérance
$0,3 \leq t < 0,5$	+0,10 -0,05
$0,5 \leq t < 0,8$	$\pm 0,10$
$0,8 \leq t < 1,10$	$\pm 0,15$
$1,10 \leq t < 1,40$	$\pm 0,17$
$1,40 \leq t < 2,00$	$\pm 0,19$
$t \geq 2,00$	$\pm 10 \%$
Dimensions en millimètres.	

5.3 Trous

5.3.1 Trous d'insertion et trous de liaison

Les points suivants s'appliquent aux trous d'insertion et trous de liaison des composants.

a) Tolérance relative aux trous d'insertion de composants

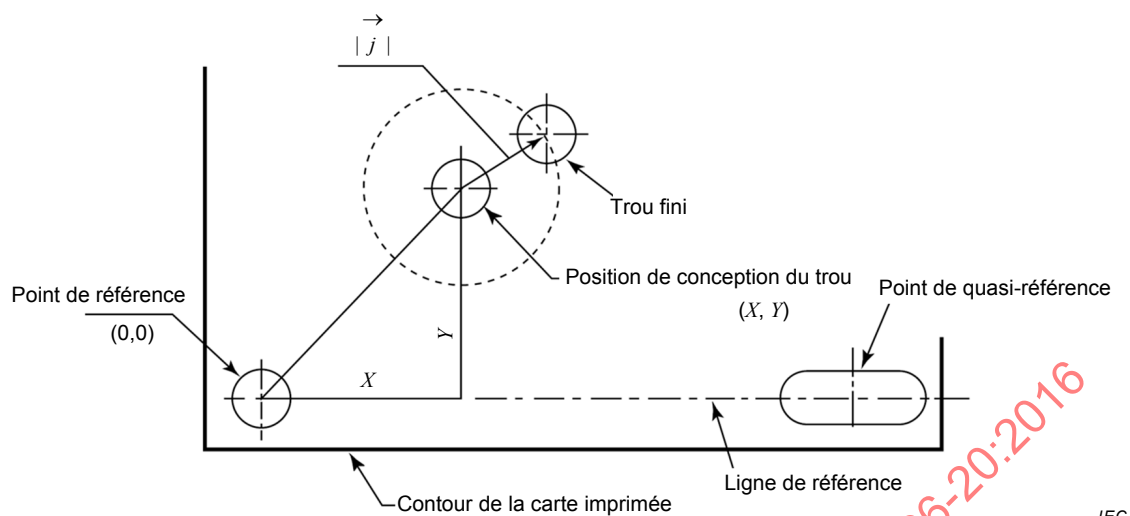
La tolérance relative aux trous d'insertion de composants est donnée au Tableau 7. La tolérance donnée dans ce tableau n'est pas applicable aux trous de liaison (traversants, enterrés et borgnes). La tolérance relative aux trous traversants d'un diamètre inférieur à 0,6 mm destinés à l'insertion d'un composant et aux trous destinés à l'insertion à la presse d'un composant doit être AABUS.

Tableau 7 – Tolérance relative aux trous d'insertion de composants

Elément	Tolérance
Trou traversant métallisé	$0,6 \leq t < 2,0$ $\pm 0,10$
	$t \geq 2,0$ $\pm 0,15$
Trou traversant non métallisé	$\pm 0,10$
Dimensions en millimètres.	

b) Position d'un trou d'insertion de composants

Il convient que le centre d'un trou d'insertion de composants se situe au point de croisement avec la grille de conception du motif d'impression, y compris les lignes de grilles complémentaires utilisées. Le Tableau 8 donne la tolérance de position d'un trou d'insertion de composants ($\left| \begin{smallmatrix} \rightarrow \\ j \end{smallmatrix} \right|$), ainsi que l'écart de la position de conception par rapport au point de référence comme présenté à la Figure 7.



IEC

Figure 7 – Positions d'un trou d'insertion de composants

Tableau 8 – Tolérance de position d'un trou d'insertion de composants

Dimension plus longue d'une carte rectangulaire mm	Tolérance
≤ 400	0,10 mm
> 400	Pour une longueur de carte supérieure à 400 mm, ajouter 0,05 mm tous les 100 mm supplémentaires.

c) Distance entre l'extrémité de la carte et la paroi d'un trou

La distance entre l'extrémité de la carte et la paroi d'un trou (d) est présentée à la Figure 8. La distance (d) entre les parois d'un trou traversant avant métallisation et d'un trou d'insertion de composants doit être supérieure à 1,0 mm. En cas de trou d'insertion à la presse, la distance doit être conforme au Tableau 9.

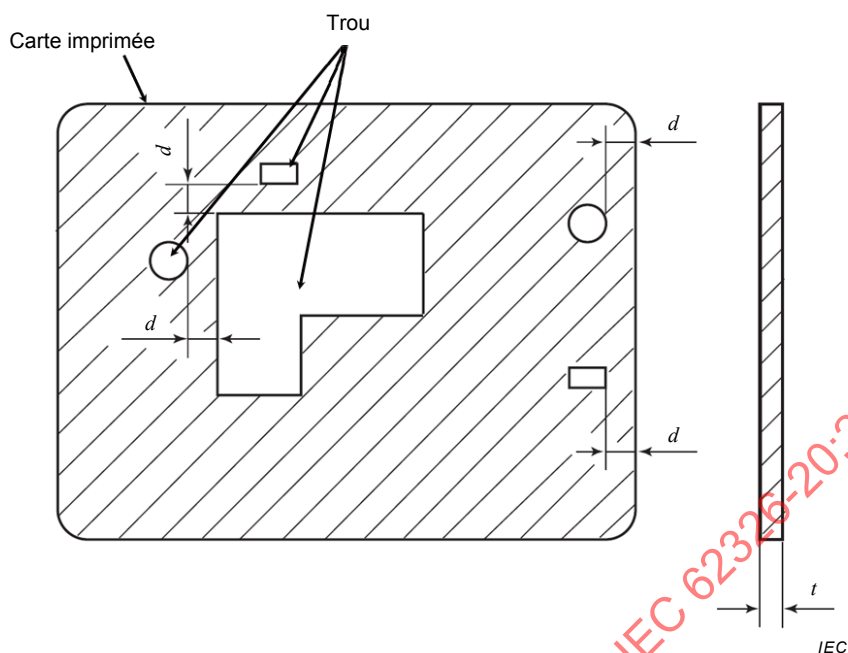


Figure 8 – Distance entre la paroi d'un trou et l'extrémité de la carte

Tableau 9 – Distance entre la paroi d'un trou et l'extrémité de la carte

Élément	Distance (<i>j</i>) entre un trou de composant avant métallisation et la paroi du trou de liaison (<i>d</i>)
Carte PWB HDI (HighDensity Interconnect)	$\leq 1,0$ mm, mais également supérieure à l'épaisseur de la carte (<i>t</i>)
Carte PWB normalisée	$\leq 1,5$ mm, mais également supérieure à l'épaisseur de la carte (<i>t</i>)

d) Espace libre minimal entre la paroi d'un trou et le conducteur intérieur

L'espace libre minimal entre la paroi d'un trou et le conducteur intérieur (*k*) comme présenté à la Figure 9 doit être de 0,325 mm. Si cette distance de 0,325 mm est garantie lors de la conception du motif d'impression, la séparation minimale est alors assurée.

Tableau 10 – Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure

Élément		Espace libre minimal entre la paroi d'un trou et le conducteur de la couche intérieure (<i>k</i>)	
		mm	
		Valeur normalisée	Valeur minimale
Carte PWB HDI	Trou de composant	0,5	0,25
	Trou de liaison	0,30	
Carte PWB normalisée	Trou de composant	0,5	0,30
	Trou de liaison	0,35	

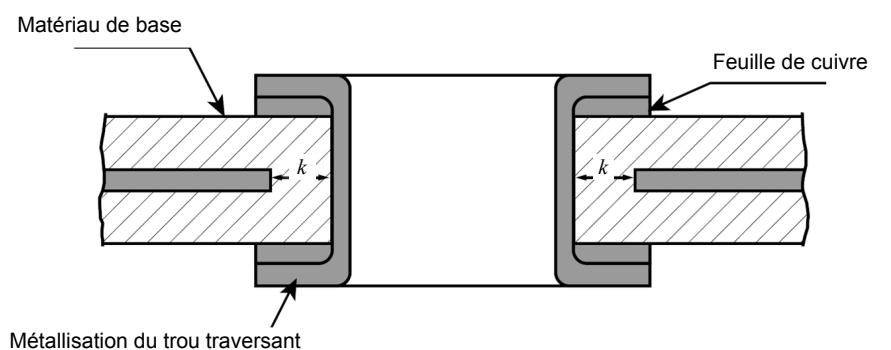


Figure 9 – Paroi d'un trou et espacement de conception minimal par rapport au conducteur intérieur

5.3.2 Trou de référence

La tolérance relative au trou de référence doit être $\pm 0,05$ mm ou $\begin{matrix} +0,10 \\ -0,00 \end{matrix}$ mm. Un trou traversant sans paroi métallisée doit être utilisé comme trou de référence.

5.3.3 Trou d'assemblage (trou traversant sans parois métallisées)

Les exigences suivantes s'appliquent.

a) Tolérance relative au trou d'assemblage

La tolérance relative au trou d'assemblage doit être $\pm 0,10$ mm.

b) Tolérance de position d'un trou d'assemblage

La tolérance de position d'un trou d'assemblage doit être conforme au Tableau 8 de 5.3.1 b.

c) Distance entre un trou d'assemblage et l'extrémité de la carte

La distance entre un trou d'assemblage et l'extrémité de la carte doit être supérieure à 2,0 mm. Dans le cas où la distance est inférieure à 2,0 mm, la distance doit être AABUS.

d) Distance entre un trou d'assemblage et le conducteur intérieur

La distance entre la paroi d'un trou d'assemblage et le conducteur intérieur doit être supérieure à 1,0 mm.

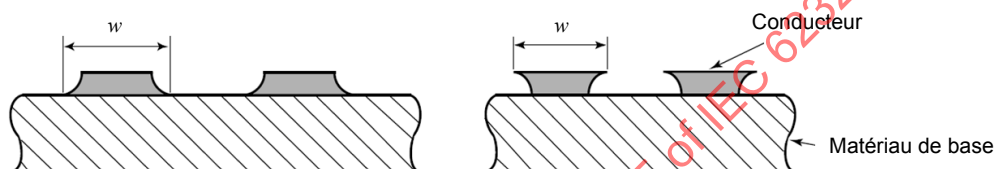
5.4 Conducteur

5.4.1 Largeur de l'impression conductrice et tolérance

La tolérance de largeur du conducteur formé (w) comme présentée à la Figure 10 doit être conforme à celles données au Tableau 11. La tolérance de l'impression conductrice finie spécifiquement conçue pour le contrôle d'impédance doit être AABUS.

Tableau 11 – Tolérance de largeur du conducteur

Épaisseur du conducteur (t)	Tolérance	Largeur du conducteur à titre de référence
$50 \leq t < 75$	± 25	15 à 20
$75 \leq t < 100$	± 30	20 à 40
$100 \leq t < 300$	± 50	30 à 50
$t \geq 300$	± 100	40 à 70
Circuits dotés de feuilles de cuivre épaisses	± 150	70
	± 200	105
	± 300	140
L'épaisseur du conducteur correspond à la somme de l'épaisseur de la feuille de cuivre et de celle du cuivre métallisé. Dimensions en micromètres.		



IEC

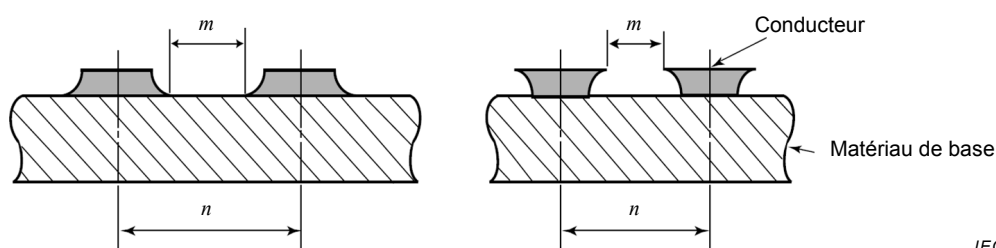
Figure 10 – Largeur du conducteur fini

5.4.2 Distance entre les conducteurs et tolérance

La distance entre les conducteurs et l'extrémité de la carte est présentée à la Figure 11. La tolérance de distance entre les conducteurs (h) doit être conforme au Tableau 12. La tolérance de l'impression conductrice finie spécifiquement conçue pour le contrôle d'impédance doit être AABUS.

Tableau 12 – Tolérance de distance entre les conducteurs

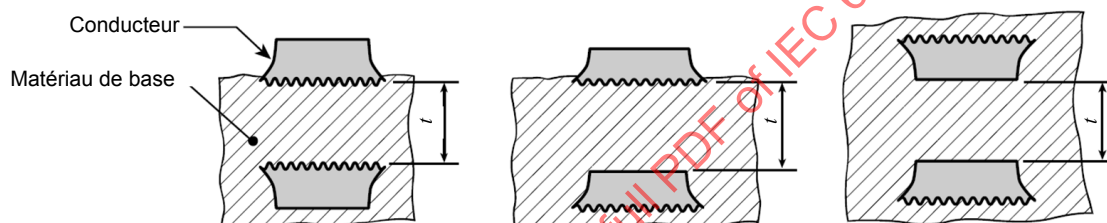
Épaisseur du conducteur (h)	Tolérance	Largeur du conducteur à titre de référence
$50 \leq h < 75$	± 25	15 à 20
$75 \leq h < 100$	± 30	20 à 40
$100 \leq h < 300$	± 50	30 à 50
$h \geq 300$	± 100	40 à 70
L'épaisseur du conducteur correspond à la somme de l'épaisseur de la feuille de cuivre et de celle du cuivre métallisé. Dimensions en micromètres.		



IEC

Légende m est la distance entre conducteurs n est le pas de conducteur**Figure 11 – Distance entre le conducteur et l'extrémité de la carte****5.4.3 Épaisseur de la couche isolante**

L'épaisseur de la couche isolante (t) est présentée à la Figure 12.



IEC

NOTE En cas de rugosité de la surface de la feuille de cuivre, l'épaisseur du matériau de base correspond à la distance minimale applicable au substrat.

Figure 12 – Épaisseur de la couche isolante**5.5 Contact imprimé****5.5.1 Tolérance de distance entre les centres de deux contacts imprimés adjacents**

Comme présentée à la Figure 13, la tolérance de distance entre les centres de deux contacts imprimés adjacents (p , p_n) doit être $\pm 0,10$ mm. Pour une distance entre les centres des bornes supérieures à 100 mm, ajouter 0,01 mm tous les 20 mm supplémentaires.

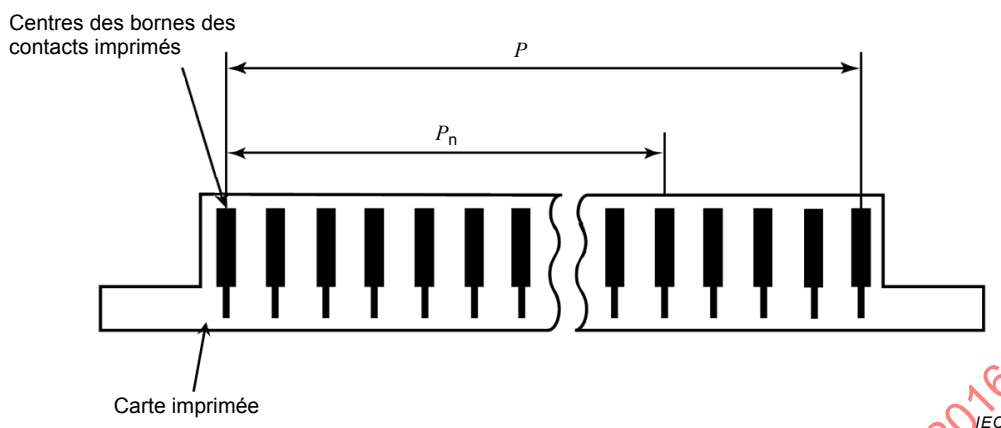


Figure 13 – Distance entre les centres des bornes des contacts imprimés

5.5.2 Tolérance de largeur des bornes des contacts imprimés

La tolérance de largeur des bornes des contacts imprimés (w) comme présentés à la Figure 14 est spécifiée au Tableau 13.

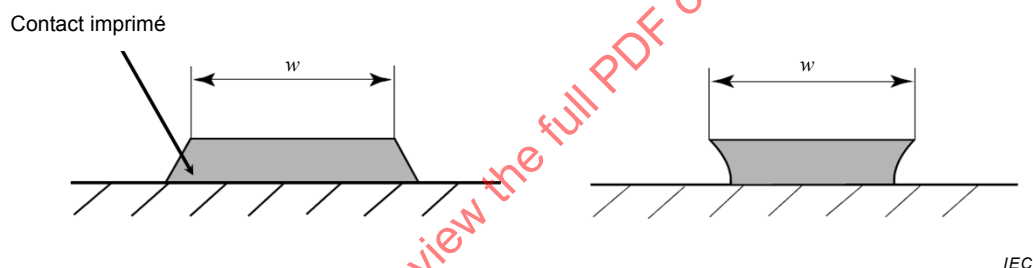


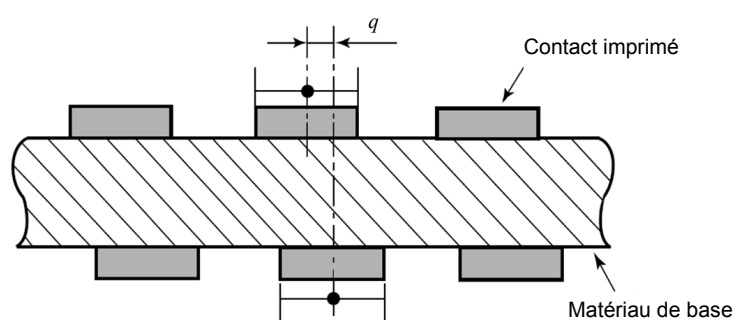
Figure 14 – Largeurs des bornes des contacts imprimés

Tableau 13 – Tolérance de distance entre les centres de deux pastilles

Largeur des bornes w	Tolérance
$\leq 1,0$	$\pm 0,05$
$> 1,0$	$\pm 0,10$
Dimensions en millimètres.	

5.5.3 Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte

Comme présentée à la Figure 15, la tolérance de décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte (q) doit être $\pm 0,20$ mm.



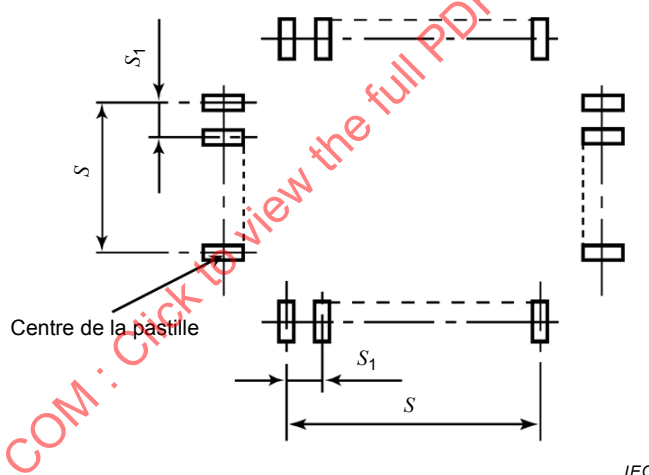
IEC

Figure 15 – Décalage du centre des contacts imprimés sur les plans avant et arrière d'une carte

5.6 Zone de report

5.6.1 Tolérance de distance entre les centres de deux pastilles

La tolérance de distance entre les centres de deux pastilles adjacentes (S_1) et de deux pastilles parallèles adjacentes (S) comme présentée à la Figure 16 est donnée au Tableau 14.



IEC

Figure 16 – Zone de report

Tableau 14 – Tolérance de distance entre les centres de deux pastilles

Distance entre les centres	Tolérance mm
S_1	$\pm 0,03$
S	$\pm 0,05$

5.6.2 Tolérance de largeur des pastilles

La tolérance de largeur des pastilles d'une zone de report (w) comme présentée à la Figure 17 est donnée au Tableau 15. La tolérance des pastilles dont l'étréoussse est inférieure à 0,15 mm doit être AABUS.

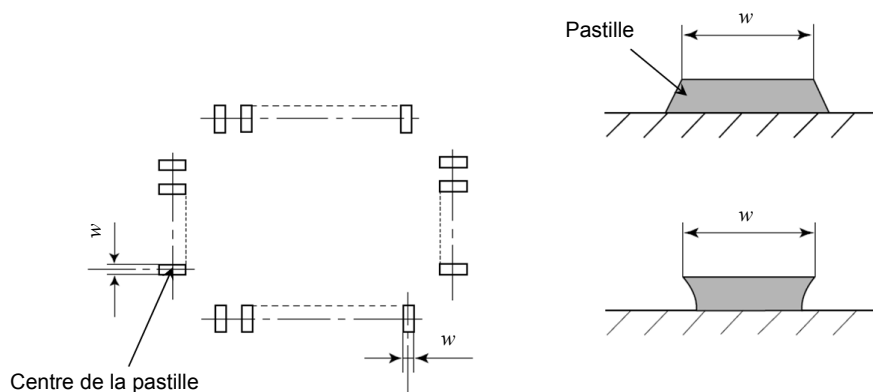


Figure 17 – Largeur des pastilles d'une zone de report

Tableau 15 – Tolérance de largeur des pastilles d'une zone de report

Largeur des pastilles w	Tolérance
$0,15 < w \leq 0,35$	$\pm 0,04$
$w > 0,35$	$\pm 0,06$
Dimensions en millimètres.	

5.6.3 Diamètre des pastilles et tolérance pour BGA/CSP

La tolérance de diamètre des pastilles pour BGA/CSP est spécifiée en a) et en b) ci-dessous.

- a) La zone de report est présentée à la Figure 18. La tolérance de diamètre des pastilles (d) pour les BGA/CSP formés exclusivement d'un conducteur est donnée au Tableau 16.

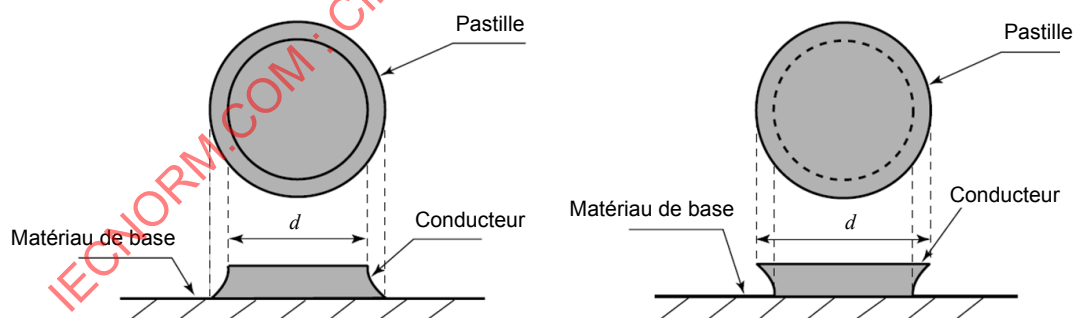


Figure 18 – Diamètre des pastilles pour les BGA/CSP formés exclusivement d'un conducteur

Tableau 16 – Diamètre des pastilles et tolérance pour les BGA/CSP

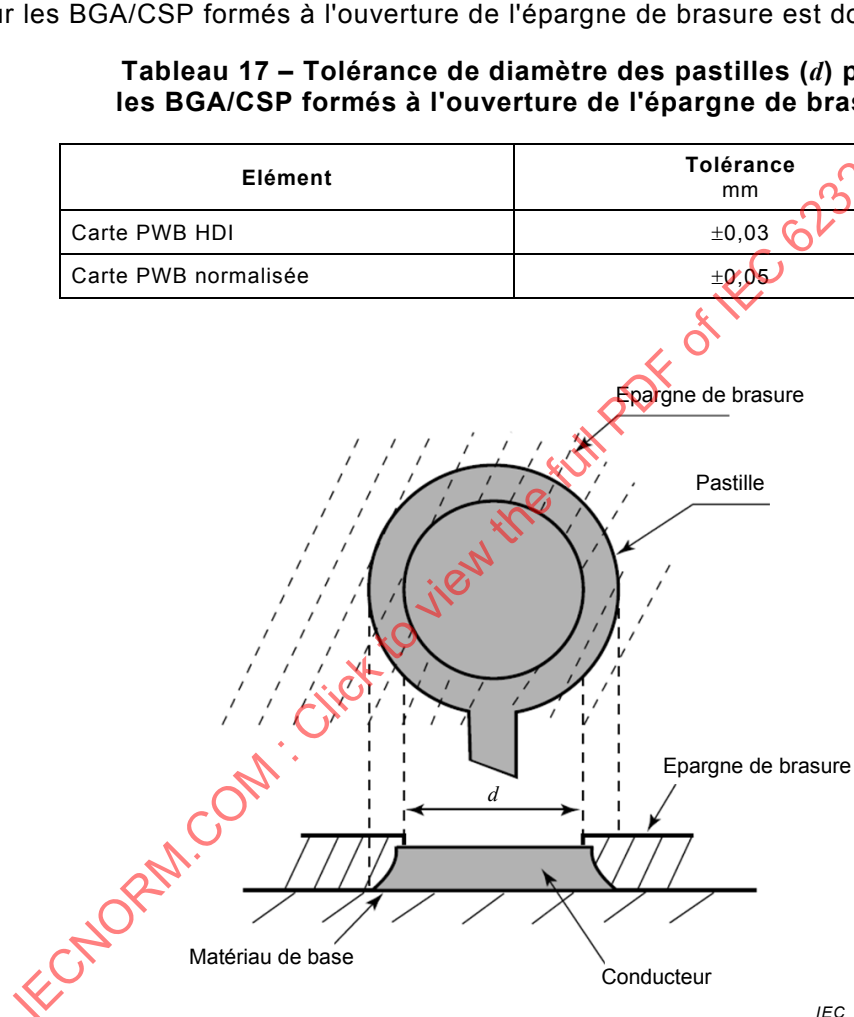
Élément	Tolérance de diamètre des pastilles mm	Épaisseur du conducteur ^a µm
Carte PWB HDI	+0,02 –0,03	20 à 30
Carte PWB normalisée	+0,03 –0,05	30 à 50

^a Les dimensions sont données à titre de référence.

- b) La zone de report est présentée à la Figure 19. La tolérance de diamètre des pastilles (d) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure est donnée au Tableau 17.

Tableau 17 – Tolérance de diamètre des pastilles (d) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure

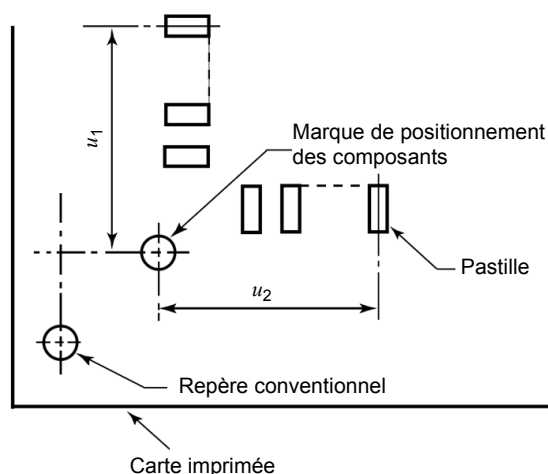
Élément	Tolérance mm
Carte PWB HDI	±0,03
Carte PWB normalisée	±0,05

**Figure 19 – Diamètre des pastilles (d) pour les BGA/CSP formés à l'ouverture de l'épargne de brasure**

5.7 Repère conventionnel et repère de positionnement des composants

5.7.1 Forme et dimensions types du repère conventionnel

Le repère de positionnement des composants présenté à la Figure 20 est spécifié au Tableau 18.



IEC

Figure 20 – Exemples de repère conventionnel et de repère de positionnement des composants

Tableau 18 – Formes et dimensions des repères types conventionnels et de positionnement des composants

Élément	Forme	Diamètre mm
Repère conventionnel et repère de positionnement des composants	Cercle	1,0

5.7.2 Tolérance de dimension du repère conventionnel et du repère de positionnement des composants

Comme présentée à la Figure 20, la tolérance de dimension du repère conventionnel et du repère de positionnement des composants est $\pm 0,1$ mm.

5.7.3 Tolérance de position du repère de positionnement des composants

Comme présentée à la Figure 20, la zone de report la plus éloignée du repère (u_1, u_2) doit être $\pm 0,05$ mm.

5.8 Connexion entre couches – Métallisation en cuivre

L'épaisseur minimale de la métallisation en cuivre sur la paroi du trou de liaison et des trous d'insertion de composants est donnée au Tableau 19.

Tableau 19 – Epaisseur minimale de la métallisation en cuivre

Epaisseur de la carte ou de la couche mm	Epaisseur minimale de la métallisation en cuivre μm
$t > 2,4$	L'épaisseur doit être AABUS
$1,0 < t \leq 2,4$	15
$0,5 < t \leq 1,0$	12
$t \geq 0,5$	10

La mesure doit être effectuée par observation optique d'une coupe transversale verticale en microsection. L'écart de surface local n'est pas pris en considération.

6 Qualité

6.1 Espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison

L'espacement entre le conducteur et la paroi d'un trou d'insertion de composants ou d'un trou de liaison ou l'espacement entre le conducteur intérieur et la paroi d'un trou doit être supérieur à 0,13 mm.

6.2 Ecart de position entre les couches conductrices d'une carte multicouche

L'écart entre les couches conductrices d'une carte multicouche doit satisfaire aux conditions spécifiées en 5.5.3, en 6.1 et en 6.3.

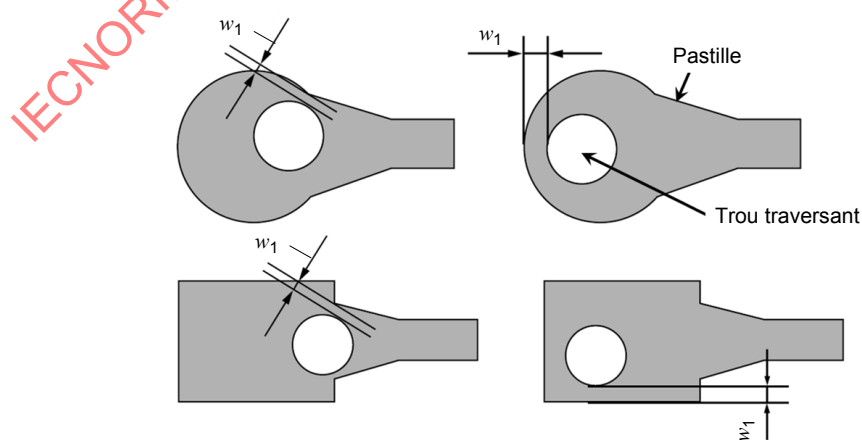
6.3 Largeur de pastille minimale

La largeur de pastille minimale sur la couche la plus à l'extérieur (w_1) provoquée par le décalage de la pastille et du trou, ainsi que la largeur de pastille minimale sur une couche intérieure (w_2) sont spécifiées au Tableau 20 (voir aussi Figure 21).

Tableau 20 – Epaisseur minimale de la métallisation en cuivre

Élément ^a		Largeur de pastille minimale mm
Largeur de pastille minimale sur la couche extérieure w_1 ^b	Au point de jonction de la pastille et du conducteur	$w_1 \geq 0,03$
	Autres zones	$\theta \leq 90^\circ$
	Cas d'un trou d'insertion de composant non conducteur	$w_1 \geq 0,05$
Largeur de pastille minimale sur la couche intérieure w_2 ^c	Au point de jonction de la pastille et du conducteur	$w_2 \geq 0,03$
	Autres zones (sauf trous percés au laser) ^d	$\theta \leq 90$

^a Indépendamment de la forme de la pastille.
^b Inclut l'épaisseur de la métallisation du trou traversant.
^c N'inclut pas l'épaisseur de la métallisation du trou traversant.
^d Aucune rupture de pastille intérieure n'est permise pour un trou percé au laser.



IEC

Figure 21 a – Largeur de pastille minimale sur la couche extérieure

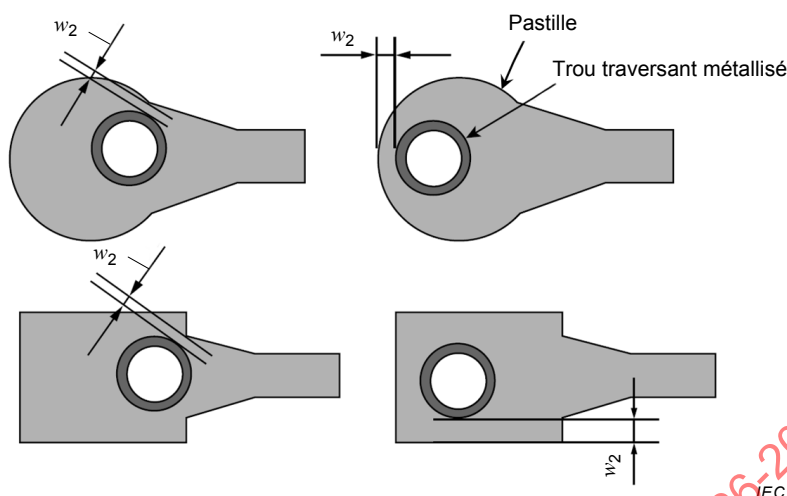


Figure 21 b – Largeur de pastille minimale sur la couche intérieure avec un trou traversant métallisé

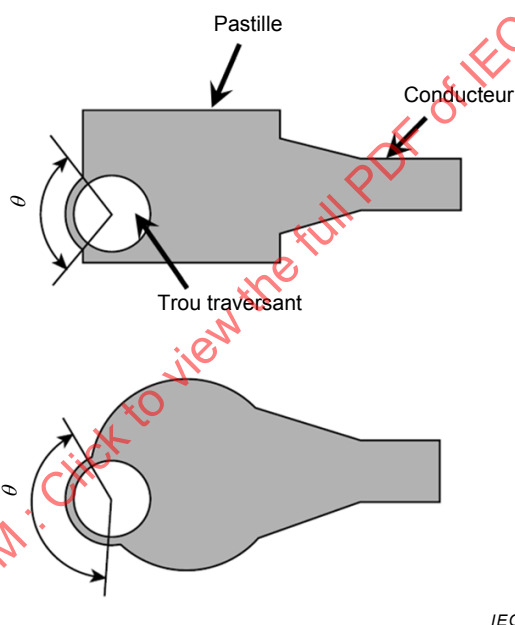


Figure 21 c – Zone admissible de rupture de pastille

Figure 21 – Largeur de pastille minimale

6.4 Traitements de surface

6.4.1 Métallisation en or d'un contact imprimé

La métallisation en or d'un contact imprimé consiste généralement en une métallisation en or durci superposée à la métallisation en nickel.

a) Métallisation en nickel

L'épaisseur de la métallisation en nickel sur un contact imprimé doit être supérieure à 2,0 µm.

b) Métallisation en or

L'or durci doit être utilisé pour la métallisation d'un contact imprimé. L'épaisseur de la métallisation est supérieure à 0,1 µm.

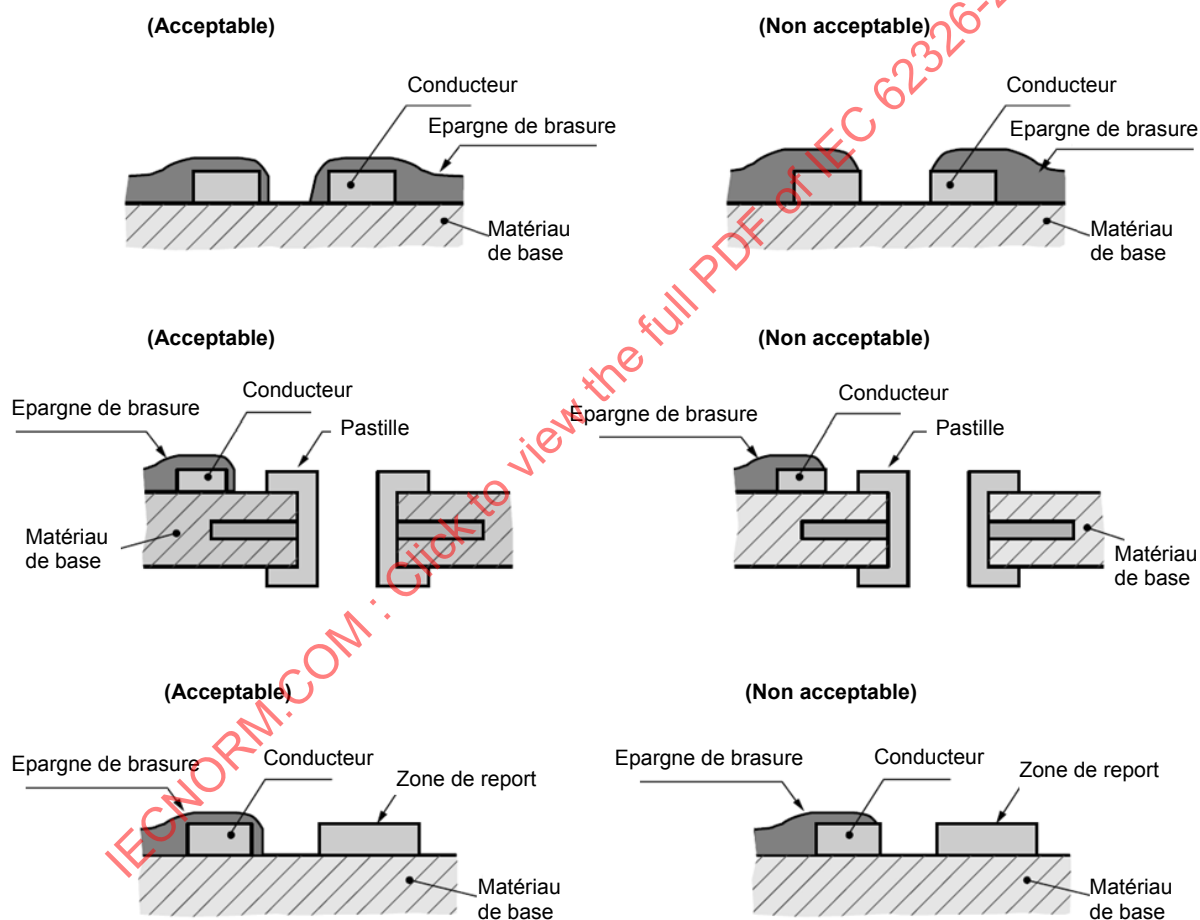
6.4.2 Autres traitements de surface

Les détails relatifs aux autres traitements de surface, notamment la métallisation en or incrusté et le revêtement de brasure, dépendent des méthodes d'interconnexion (par exemple, brasage ou liaison filaire). Ces détails doivent être AABUS.

6.5 Défauts d'épargne de brasure

Les exigences suivantes s'appliquent.

- Les défauts sur une pastille pour les BGA/CSP doivent être conformes à 5.6.3.
- L'épargne de brasure ne doit pas présenter de rayure, d'arrachement, de microperforation, ni de matériau étranger. Elle ne doit pas présenter de bulles qui s'étendent jusqu'à deux conducteurs.
- L'exposition du conducteur après l'application de l'épargne de brasure doit être conforme aux illustrations de la Figure 22.



IEC

Figure 22 – Exposition du conducteur

- La largeur de pastille minimale provoquée par le décalage de l'épargne de brasure (w) sur la pastille de la couche conductrice extérieure de la carte PWB utilisée pour l'insertion de composants, comme présentée à la Figure 23, doit être conforme aux spécifications données au Tableau 21.

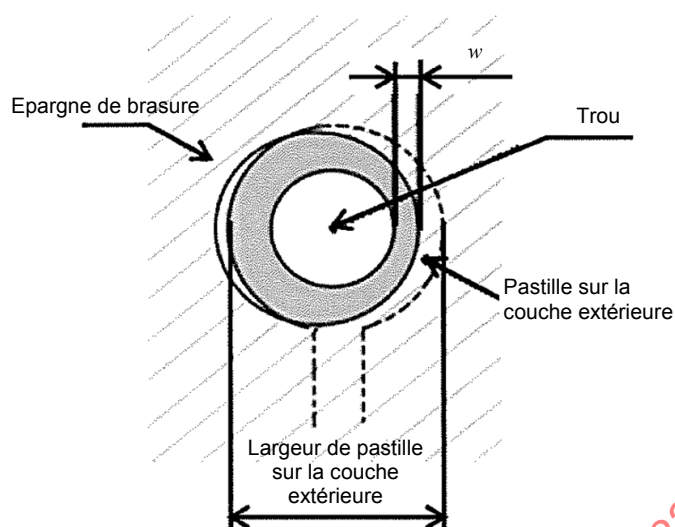


Figure 23 – Largeur de pastille minimale provoquée par le décalage de l'épargne de brasure

Tableau 21 – Largeur de pastille minimale

Elément	Largeur de pastille minimale
Face au composant	Jusqu'à l'extrémité d'un trou
Face à la brasure	Doit être supérieure à 0,03 mm La zone effective de brasage doit être supérieure à 70 %.

- e) Le chevauchement, la coulure et le décalage de l'épargne de brasure sur une pastille (sens de la largeur (v) et sens de la longueur (x)) sur la couche conductrice extérieure de la carte PWB utilisée pour l'insertion de composants, comme présentés à la Figure 24, doivent être conformes aux spécifications données au Tableau 22. Si l'épargne de brasure du boîtier est conçue pour couvrir la totalité de la zone de report, comme présentée à la Figure 24 b, le déplacement doit être AABUS.

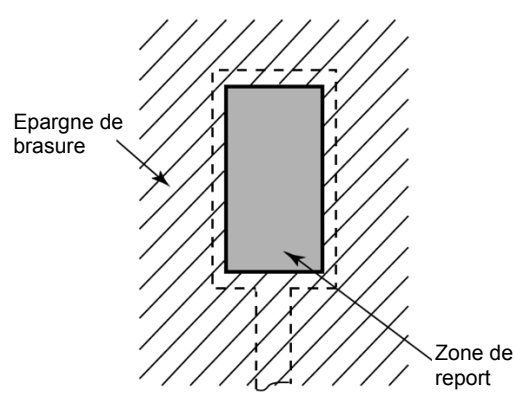
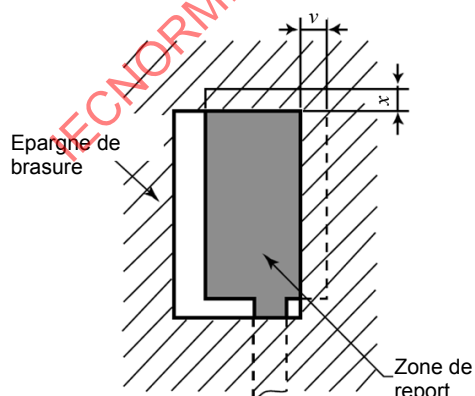


Figure 24 a – Décalage de l'épargne de brasure

Figure 24 b – Chevauchement et coulure de l'épargne de brasure

Figure 24 – Chevauchement, coulure et décalage de l'épargne de brasure

Tableau 22 – Chevauchement, coulure et décalage de l'épargne de brasure sur une simulation d'impression

Élément	Chevauchement, coulure et décalage mm
Largeur (v)	$\leq 0,05$
Dimension longitudinale (x)	$\leq 0,05$

- f) Une pastille pour bille ou pour liaison filaire ne doit pas présenter de chevauchement, de coulure, ni de décalage de l'épargne de brasure, sauf si cette dernière est conçue pour couvrir une pastille.

6.6 Marque de symbole

6.6.1 Généralités

Les points suivants se concentrent sur les marques de symboles en général.

- a) Une légende imprimée ne doit pas comporter de coulure ou d'élément flou qui affecte la lisibilité de la marque, comme présentée à la Figure 25.

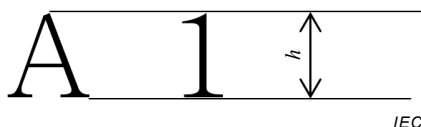


Figure 25 – Exemples de coulure ou d'élément flou

- b) Une légende doit être imprimée à une distance de plus de 0,2 mm de la pastille d'un trou de liaison, de la pastille d'un trou traversant ou d'une zone de report.
- c) Une légende dont la hauteur (h) est inférieure à 1,5 mm peut ne pas être lisible pour identifier des lettres ou des marques (excepté pour les caractères chinois). Un exemple de hauteur d'une marque de légende est donné ci-dessous.

Remarque 1: Pour une légende, il convient d'utiliser une largeur de ligne d'une épaisseur supérieure à 0,15 mm.

Remarque 2: Il convient d'appliquer une légende directement sur l'impression conductrice ou de totalement l'éloigner du conducteur.



IEC

6.6.2 Surface du conducteur

L'extrémité d'un conducteur ne doit pas présenter de gonflement, de pli, de fissure, de séparation du conducteur du substrat, ni de fracture métallique. La surface du conducteur ne doit présenter aucune modification de couleur qui peut causer un défaut dans l'assemblage, aucune obstruction ni aucun matériau étranger. L'exposition du conducteur nu traité avec métallisation, traitement de surface ou revêtement n'est pas permise.

6.6.3 Entre les conducteurs

Aucun matériau étranger ne doit relier deux conducteurs et ne peut engendrer un problème d'isolement entre les conducteurs.

6.6.4 Défauts dans les couches isolantes

Les défauts des couches isolantes sont énumérés ci-dessous:

a) Blanchiment et délabrement

Il ne doit avoir aucun blanchiment au croisement des fibres ni délabrement qui chevauche les conducteurs, les trous d'insertion de composants ou qui se situe entre les trous de liaison. Des exemples de blanchiment au croisement des fibres et de délabrement sont donnés à la Figure 26 et à la Figure 27.

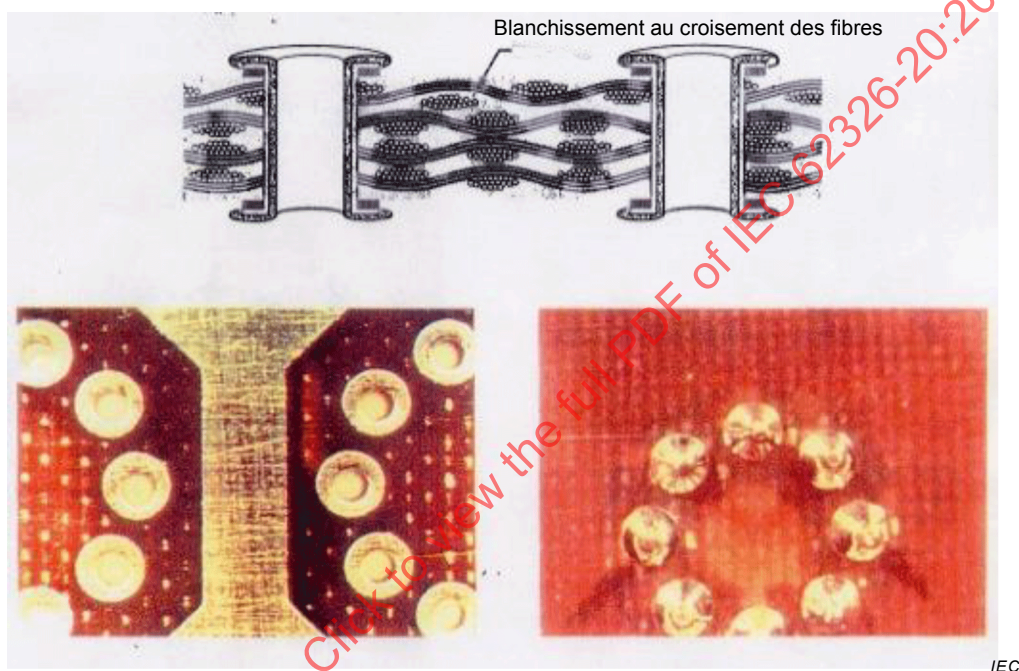


Figure 26 – Exemple de blanchiment au croisement des fibres

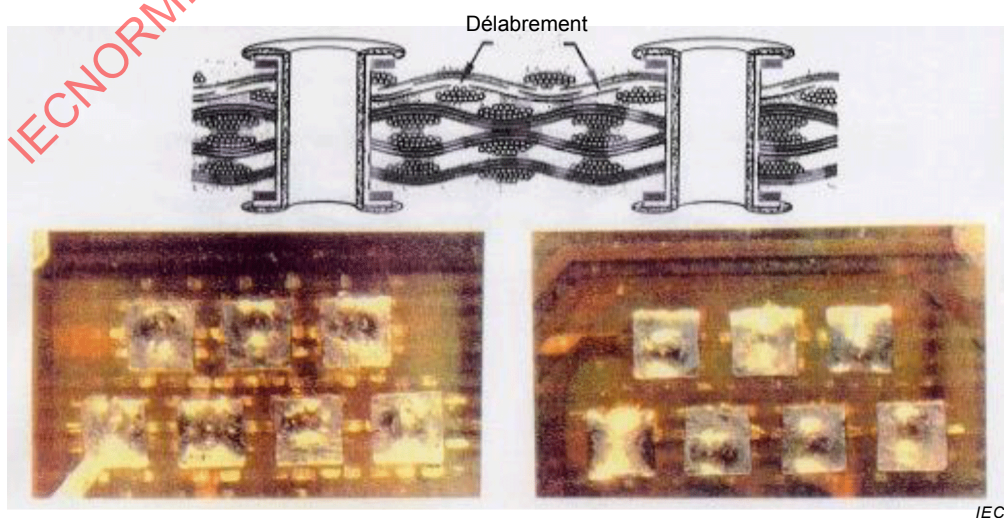


Figure 27 – Exemple de délabrement

b) Décollement interlaminaire, gonflement et vide

Il ne doit se produire aucun décollement interlaminaire, gonflement ou vide empilé qui peut entraîner un problème de fiabilité d'un produit dans une carte multicouche.

c) Inclusion de matériaux étrangers

Les couches isolantes ne doivent comporter aucun matériau étranger ni aucune imperfection, par exemple, un décollement interlaminaire, qui peut provoquer un problème au cours du processus d'assemblage.

6.6.5 Routage et perçage

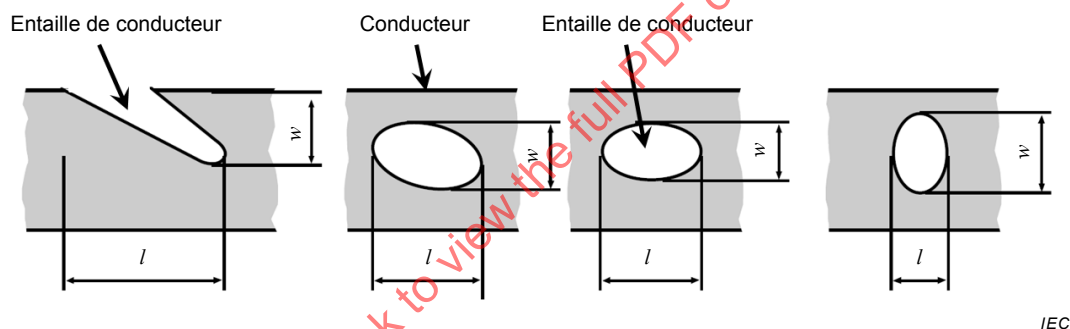
Les fissures causées par l'usinage par presse lors du routage et du perçage de trous, ainsi que le halo, doivent être AABUS.

6.6.6 Impression conductrice

Les défauts de l'impression conductrice sont énumérés ci-dessous:

a) Entaille de conducteur

La largeur d'une entaille de conducteur (w) comme présentée à la Figure 28 doit être inférieure à 30 % de la largeur finale du conducteur. La longueur (l) doit être inférieure à la largeur de l'impression conductrice.

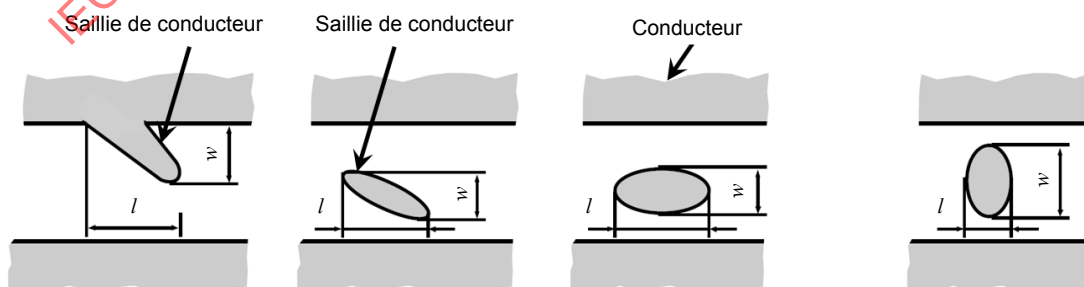


IEC

Figure 28 – Entaille de conducteur

b) Résidu de conducteur dans les espacements de conducteur

La largeur (w) d'un résidu de conducteur dans les espacements de conducteur comme présentée à la Figure 29 (saillie ou résidu de gravure) doit être inférieure à 30 % de la séparation finale du conducteur ou à 0,30 mm. La longueur d'un résidu (l) doit être inférieure à la séparation finale du conducteur.



IEC

Figure 29 – Résidu de conducteur