

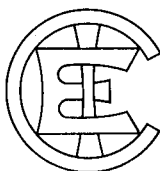
COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

Publication 113-7
Première édition — First edition
1981

Schémas, diagrammes, tableaux
Septième partie: Etablissement des logigrammes

Diagrams, charts, tables
Part 7: Preparation of logic diagrams



Droits de reproduction réservés — Copyright - all rights reserved

Bureau Central de la Commission Electrotechnique Internationale
1, rue de Varembe
Genève, Suisse

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Rapport d'activité de la CEI**
Publié annuellement
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (V.E.I.), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le V.E.I. peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du V.E.I., soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 117 de la CEI: Symboles graphiques recommandés.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 117 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

Autres publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur la page 3 de la couverture, qui énumère les autres publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **Report on IEC Activities**
Published yearly
- **Catalogue of IEC Publications**
Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (I.E.V.), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the I.E.V. will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the I.E.V. or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 117: Recommended graphical symbols.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 117, or have been specifically approved for the purpose of this publication.

Other IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the inside of the back cover, which lists other IEC publications issued by the Technical Committee which has prepared the present publication.

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

Publication 113-7

Première édition — First edition

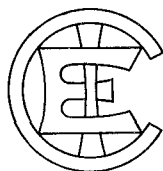
1981

Schémas, diagrammes, tableaux
Septième partie: Etablissement des logigrammes

Diagrams, charts, tables
Part 7: Preparation of logic diagrams

Mots clés: symboles d'opérateurs logiques;
établissement des schémas.

Key words: symbols for logic elements;
preparation of diagrams.



Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

1, rue de Varembe
Genève, Suisse

SOMMAIRE

	Pages
PRÉAMBULE	4
PRÉFACE	4
Articles	
1. Domaine d'application	6
2. Interdépendance avec d'autres publications	6
3. Symboles	6
4. Conventions logiques	10
5. Composition d'un logigramme	10
6. Présentation	10
7. Eléments inutilisés	12
8. Opérateurs fantômes	12
9. Opérateurs logiques complexes	12
10. Symboles pour opérateurs logiques	12
11. Repérage des trajets de signaux	12
12. Figuration de formes d'onde	24
13. Tableaux	24
14. Représentation des broches agissant soit comme entrée, soit comme sortie	24
15. Interaction entre opérateurs logiques et autres dispositifs	24
16. Exemples de logigrammes	26
ANNEXE A — Abréviations mnémoniques courantes	30
ANNEXE B — Guide pour la signification, l'interprétation et la sélection des symboles d'opérateurs logiques	34

CONTENTS

	Page
FOREWORD	5
PREFACE	5
Clause	
1. Scope	7
2. Related publications	7
3. Symbols	7
4. Logic conventions	11
5. Contents of a logic diagram	11
6. Layout of a diagram	11
7. Unused elements	13
8. Distributed connections	13
9. Complex logic units	13
10. Symbols for logic elements	13
11. Labelling of lines	13
12. Use of waveforms	25
13. Tabular information	25
14. Representation of a pin connection acting at different times as either an input or an output	25
15. Interaction of logic elements and other devices	25
16. Examples of logic diagrams	26
APPENDIX A — Commonly used mnemonics	30
APPENDIX B — Guide to the meaning, interpretation and selection of logic symbols	35

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SCHÉMAS, DIAGRAMMES, TABLEAUX

Septième partie: Etablissement des logigrammes

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente norme a été établie par le Sous-Comité 3B: Etablissement des schémas, diagrammes et tableaux. Désignation des éléments, du Comité d'Etudes N° 3 de la CEI: Symboles graphiques.

Des projets furent discutés lors des réunions tenues à Milan en 1975 et à Oslo en 1976. A la suite de cette dernière réunion, le projet, document 3B(Bureau Central)19, fut soumis à l'approbation des Comités nationaux suivant la Règle des Six Mois en décembre 1976.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication:

Afrique du Sud (République d')	Egypte	Pays-Bas
Australie	Espagne	Royaume-Uni
Autriche	Finlande	Suède
Belgique	France	Suisse
Canada	Israël	Turquie
Corée (République de)	Japon	Yougoslavie
Danemark		

Ce document n'a toutefois pas été publié à cette époque car il est apparu, au cours des travaux préparatoires, qu'il fallait le compléter. Un projet de complément comportant les articles 11, 14 et 15, ainsi que les annexes A et B, fut discuté lors de la réunion tenue à Paris en 1978. A la suite de cette réunion, un projet combiné, document 3B(Bureau Central)22, reprenant le contenu du document 3B(Bureau Central)19 et le texte du projet de complément, fut soumis à l'approbation des Comités nationaux suivant la Règle des Six Mois en mai 1979.

Les Comités nationaux des pays ci-après se sont prononcés explicitement en faveur de la publication du projet de complément:

Afrique du Sud (République d')	Egypte	Royaume-Uni
Allemagne	Finlande	Suède
Australie	Israël	Suisse
Autriche	Italie	Turquie
Belgique	Japon	Union des Républiques
Canada	Norvège	Socialistes Soviétiques

Autres publications de la CEI citées dans la présente norme:

- Publications n°s 113-3: Schémas, diagrammes, tableaux, Troisième partie: Recommandations générales pour l'établissement des schémas.
- 113-4: Quatrième partie: Recommandations pour l'établissement des schémas des circuits.
- 117-15: Symboles graphiques recommandés — Symboles graphiques, Quinzième partie: Opérateurs logiques binaires.
- 617-12: Symboles graphiques pour schémas, Douzième partie: Opérateurs logiques binaires (*en préparation*). En attendant sa publication, se référer à la Publication 117-15 déjà citée.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DIAGRAMS, CHARTS, TABLES

Part 7: Preparation of logic diagrams

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by Sub-Committee 3B: Preparation of Diagrams, Charts and Tables. Item Designation, of IEC Technical Committee No. 3: Graphical Symbols.

Drafts were discussed at the meetings held in Milan in 1975 and in Oslo in 1976. As a result of this latter meeting, a draft, Document 3B(Central Office)19, was submitted to the National Committees for approval under the Six Months' Rule in December 1976.

The National Committees of the following countries voted explicitly in favour of publication:

Australia	France	Spain
Austria	Israel	Sweden
Belgium	Japan	Switzerland
Canada	Korea (Republic of)	Turkey
Denmark	Netherlands	United Kingdom
Egypt	South Africa (Republic of)	Yugoslavia
Finland		

The document was not published at that time, however, as, during the preparatory work, it was realized that additional material would be needed. A first draft for this supplement, comprising Clauses 11, 14, 15 and Appendices A and B, was discussed at the meeting held in Paris in 1978. As a result of this meeting, a combined draft, Document 3B(Central Office)22, which included the contents of Document 3B(Central Office)19 and the text of the draft supplement, was submitted to the National Committees for approval under the Six Months' Rule in May 1979.

The National Committees of the following countries voted explicitly in favour of publication of the draft supplement:

Australia	Germany	Sweden
Austria	Israel	Switzerland
Belgium	Italy	Turkey
Canada	Japan	Union of Soviet
Egypt	Norway	Socialist Republics
Finland	South Africa (Republic of)	United Kingdom

Other IEC publications quoted in this standard:

Publications Nos. 113-3: Diagrams, Charts, Tables, Part 3: General Recommendations for the Preparation of Diagrams.

113-4: Part 4: Recommendations for the Preparation of Circuit Diagrams.

117-15: Recommended Graphical Symbols, Part 15: Binary Logic Elements.

617-12: Graphical Symbols for Diagrams, Part 12: Binary Logic Elements (*in preparation*). Until this standard is published reference should be made to Publication 117-15, quoted above.

SCHÉMAS, DIAGRAMMES, TABLEAUX

Septième partie: Etablissement des logigrammes

1. Domaine d'application

La présente norme donne des recommandations complémentaires pour l'établissement de schémas lorsqu'il est fait usage de symboles d'opérateurs logiques.

2. Interdépendance avec d'autres publications

Les autres parties de la Publication 113 de la CEI* concernent toutes l'établissement des schémas et fournissent les prescriptions complémentaires.

Les symboles graphiques pour les schémas sont donnés par les différentes parties des Publications 117 de la CEI: Symboles graphiques recommandés, et 617 de la CEI: Symboles graphiques pour schémas*.

3. Symboles

3.1 Généralités

Les symboles d'opérateurs logiques binaires et certaines règles d'emploi de ces symboles sont indiqués dans la Publication 617-12 de la CEI.

Conformément au paragraphe 3.4 de la Publication 113-3 de la CEI, leurs dimensions doivent assurer la place indispensable aux notations internes et permettre de disposer les tracés des entrées ou ceux des sorties avec un espacement convenable.

Les entrées et les sorties aboutissent de préférence à deux côtés opposés du symbole et leur sont perpendiculaires. Un symbole d'opérateur logique binaire peut avoir un nombre quelconque d'entrées et de sorties, à condition qu'il soit conforme à la définition donnée par la Publication 617-12 de la CEI pour l'opérateur concerné.

Les règles particulières concernant les opérateurs complexes sont à observer.

La plupart des logigrammes nécessitent aussi l'emploi de symboles donnés dans d'autres parties des Publications 117 et 617 de la CEI.

3.2 Combinaison de symboles

Des règles de combinaison de symboles pour des opérateurs de base sont données par la Publication 617-12 de la CEI. Des symboles représentant des éléments matériellement réunis dans une enveloppe commune peuvent également être combinés à condition que leurs interconnexions ne soient pas accessibles à l'utilisateur et que les règles mentionnées ci-dessus soient appliquées.

* Voir la troisième page de la couverture.

DIAGRAMS, CHARTS, TABLES

Part 7: Preparation of logic diagrams

1. Scope

This standard gives additional recommendations for the preparation of diagrams with respect to the use of symbols for logic elements.

2. Related publications

The other parts of IEC Publication 113* are concerned with matters of drawing practice and provide additional guidance.

Graphical symbols for diagrams are given in the relevant parts of IEC Publication 117: Recommended Graphical Symbols, and IEC Publication 617: Graphical Symbols for Diagrams*.

3. Symbols

3.1 General

Symbols for binary logic elements and some rules for the use of the symbols are given in IEC Publication 617-12.

In accordance with Sub-clause 3.4 of IEC Publication 113-3, their size should be governed by the space necessary for internal annotations and the length of the side needed to accommodate input and output lines at an acceptable spacing.

Input and output lines are preferably placed on opposite sides of the symbol and should join the outline of the symbol at right angles. A symbol for a binary logic element may have any number of inputs and outputs provided that the symbol definition requirements as contained in IEC Publication 617-12 are met.

The special rules for complex elements must be observed.

Most logic diagrams will also require the use of symbols drawn from some of the other parts of IEC Publications 117 and 617.

3.2 Combination of symbols

Rules for combining symbols for basic operations are given in IEC Publication 617-12. Symbols representing hardware elements which are contained in one physical package may also be combined providing the interconnections are not accessible to the user and the rules mentioned above are applied.

* See inside back cover.

3.3 Orientation des symboles

Les symboles définis par la Publication 617-12 de la CEI ont été établis pour le cas des entrées aboutissant à gauche et les sorties à droite et correspondent à l'orientation préférée des symboles. Cependant, une autre orientation des symboles dans laquelle les entrées aboutissent en haut et les sorties en bas peut aussi être utilisée à condition de respecter les règles suivantes:

- Généralement, les sorties aboutissent sur le côté opposé à celui où aboutissent les entrées.
- Le ou les symboles distinctifs de la fonction de l'opérateur est ou sont placés comme spécifié par la Publication 617-12 de la CEI.
- Un espace suffisant doit éviter toute confusion entre ce ou ces symboles distinctifs de la fonction de l'opérateur et les symboles marquant chaque entrée ou sortie.
- Les groupes de caractères constituant un symbole doivent de préférence être placés dans l'ordre normal de lecture. Tout symbole marquant une entrée (sortie) doit être centré sur le tracé de celle-ci.
- Par rapport aux tracés des connexions des accès, l'orientation des symboles distinctifs de négation, de polarité, de regroupement, d'entrée dynamique, d'inhibition et d'amplification n'est pas changée.

Le tableau I donne des exemples d'orientation des symboles.

TABLEAU I

Orientations préférées	Autre orientation permise

3.3 Symbol orientation

The symbols contained in IEC Publication 617-12 have been designed so that inputs appear on the left and outputs on the right, and this orientation is preferred. However, the other symbol orientation in which inputs appear at the top and outputs at the bottom may also be used, provided the following rules are observed:

- In general, outputs appear on the opposite side of the symbols from the inputs.
- The rules for the placement of the qualifying symbol(s) for the device function given in IEC Publication 617-12 are obeyed.
- Sufficient space is provided to avoid confusion between the qualifying symbol(s) for the function and the input and output labels.
- Strings of characters, forming qualifying symbols or labels, should preferably appear in normal reading order. Each input (output) label is centred with respect to its input (output) line.
- The orientation of qualifying symbols for negation, polarity, grouping dynamic input, inhibit and amplification with respect to the connection lines is unchanged.

Table I gives examples of symbol orientation.

TABLE I

Preferred orientation	Other permitted orientation

4. Conventions logiques

- 4.1 Un logigramme peut être établi en utilisant une seule convention logique, soit positive, soit négative, pour préciser la correspondance entre les états logiques et les valeurs assignées de la grandeur physique intéressée. Dans ce cas, et dans le cas où il n'est pas nécessaire de préciser une telle correspondance, le symbole de négation logique est utilisé là où il est nécessaire; le symbole de polarité logique ne doit pas être utilisé. La convention choisie sera clairement indiquée sur le schéma ou dans la documentation s'y référant (voir figure 2, page 28).

Note. — L'une et l'autre conventions logiques peuvent être utilisées pour différentes portions d'un même schéma, par exemple de part ou d'autre d'un interface au contraste de deux technologies. La convention choisie pour chaque portion et la délimitation de chacune d'elles doivent être clairement indiquées.

- 4.2 Dans une autre méthode, la correspondance entre états logiques et valeurs assignées de la grandeur physique peut être indiquée individuellement à chaque entrée ou sortie par l'absence ou la présence du symbole de polarité logique (voir figure 3, page 29). Dans ce cas, le symbole de négation logique ne doit pas être utilisé.
- 4.3 Il est souvent commode de représenter la convention logique par une forme d'onde idéale, avec indication des états logiques et, si nécessaire, des valeurs assignées correspondantes de la grandeur physique. Des informations supplémentaires sont fournies à l'annexe B.

5. Composition d'un logigramme

Un logigramme — qui peut comprendre plusieurs feuilles — est établi pour chaque unité ou ensemble d'unités prévues pour atteindre un but déterminé. Ainsi le schéma peut être relatif à une seule unité ou à plusieurs unités qui forment une entité fonctionnelle.

Dans le cas où un logigramme ne peut figurer sur une seule feuille, la répartition sur plusieurs feuilles est faite d'après l'objet du schéma.

6. Présentation

L'essentiel est d'adopter une présentation qui contribue au mieux à la compréhension du schéma. Elle doit être telle que le trajet général des signaux d'information aille de gauche à droite, éventuellement de haut en bas. Si la direction n'est pas évidente, elle est indiquée par une flèche placée sur le trajet du signal, mais écartée de tout autre symbole ou libellé.

Les symboles liés fonctionnellement sont groupés et situés aussi près que possible les uns des autres, compte tenu de la nécessité de réserver une place suffisante pour les indications à faire figurer et d'éviter un aspect trop touffu.

Les tracés sont horizontaux ou verticaux, sauf dans les cas isolés où des tracés obliques apportent de la clarté au schéma.

Pour un signal intervenant sur plusieurs opérateurs, l'usage d'un trait droit unique avec indications appropriées des dérivations apporte de la clarté au schéma.

Les recommandations concernant les regroupements ou omissions de tracés données à l'article 4 de la Publication 113-3 de la CEI s'appliquent aussi bien aux traits représentant les trajets des signaux qu'à ceux figurant des connexions dans les logigrammes.

4. Logic conventions

- 4.1 A logic diagram may be prepared using a single logic convention, either positive or negative, to define the relationship between logic states and the nominal values of corresponding physical quantities. In this case, and in the case where no such relationship needs to be established, the symbol for logic negation is used where necessary; the symbol for logic polarity shall not be used. The convention in use should be clearly shown on the diagram or in referenced documentation (see Figure 2, page 28).

Note. — Different logic conventions may be used for different parts of the same diagram, e.g. on either side of an interface between contrasting technologies—the convention applying to each part being clearly shown and the areas of the diagram to which each applies being clearly delineated.

- 4.2 Alternatively the relationship between the logic state and the nominal value of the corresponding physical quantity at each input and output of every logic element may be given by means of the absence or presence of the symbol for logic polarity (see Figure 3, page 29). In this case the symbol for logic negation shall not be used.
- 4.3 It is sometimes convenient to represent the logic convention by means of idealized waveforms with indications of the logic states and, if necessary, of the nominal value of corresponding physical quantities. Additional information is provided in Appendix B.

5. Contents of a logic diagram

A logic diagram—which may consist of several sheets—should be prepared for each distinct unit, or assembly of units, intended to fulfil a defined purpose. It may thus relate to a single unit or to several units which together form a functional entity.

In cases where the logic diagram cannot be shown on a single sheet the division into separate sheets should be based on the purpose of the diagram.

6. Layout of a diagram

The most important consideration is the adoption of a layout which best aids understanding of the diagram. The layout should be such that the principal flow of information is from left to right of the diagram—otherwise it should be from top to bottom. Where the direction of information flow is not obvious, lines carrying information should be marked with an arrow-head which must not be placed adjacent to any other symbol or label.

Functionally related symbols should be grouped and placed as close to one another as the requirements of annotation and the avoidance of overcrowding will allow.

Lines should be drawn horizontally or vertically except in those isolated cases where oblique lines aid the clarity of the diagram.

For a signal feeding a multiplicity of elements the use of a single straight line with appropriate indications of T-junctions to the elements aids comprehension of the diagram.

The recommendations for grouping and omission of lines given in Clause 4 of IEC Publication 113-3 apply also to lines representing information flow and connecting lines in logic diagrams.

7. Eléments inutilisés

Les éléments qui ne sont pas utilisés — par exemple des entrées ou des sorties, ou des opérateurs complets dans un groupement d'opérateurs — peuvent être représentés. Il importe alors de repérer ces éléments et les numéros des broches correspondantes.

8. Opérateurs fantômes

L'interconnexion de certains opérateurs logiques pour réaliser une fonction ET ou une fonction OU sans utiliser un opérateur supplémentaire peut être représentée comme indiqué dans la Publication 617-12 de la CEI. Tout composant séparé nécessaire à la réalisation de l'opération est à faire figurer ou à mentionner par référence à une nomenclature.

Les tracés des trajets de signaux sur chacune des feuilles doivent être repérés de façon appropriée, conformément à la Publication 113-4 de la CEI.

9. Opérateurs logiques complexes

La façon correcte de représenter un opérateur complexe est de constituer un symbole en appliquant les règles données par la Publication 617-12 de la CEI. Si cela n'est pas désirable en raison de la complexité de la fonction, le symbole utilisé peut être un simple rectangle contenant une spécification de la fonction ou une référence à une documentation appropriée. Les symbolisations normalisées pour entrées et sorties sont à utiliser quand cela est possible.

Si un symbole d'opérateur complexe est à répéter plusieurs fois sur un même schéma, ces répétitions peuvent être représentées par des rectangles simples avec références appropriées.

10. Symboles pour opérateurs logiques

De préférence, chaque opérateur logique est à représenter par celui des symboles qui correspond le mieux à la fonction logique réalisée effectivement par cet élément dans la conception du système. Ainsi, dans la figure 2, page 28, des éléments matériels de même type (repérés D3) sont représentés une fois par le symbole d'un opérateur OU avec négation sur les entrées et ailleurs par le symbole d'un opérateur ET avec négation sur la sortie (ET-NON).

Des informations complémentaires sont données dans l'annexe B.

11. Repérage des trajets de signaux

11.1 Généralités

Le repérage des trajets de signaux peut largement faciliter la compréhension d'un schéma et la maintenance d'un système logique sous réserve que la dénomination des signaux soit bien choisie sur la base des noms des fonctions.

L'identification des signaux doit fournir une information non ambiguë. La place disponible sur un schéma ou dans un tableau de données limite généralement la longueur permise pour une telle désignation. Des désignations identiques ne doivent pas être utilisées pour des trajets

7. Unused elements

Any hardware elements which are not used—e.g. inputs or outputs or complete elements in a multiple element package—may be shown. It is then important to identify the unused elements and the corresponding pin numbers.

8. Distributed connections

The connection of certain logic elements to achieve the effect of an AND or an OR operation without the use of additional logic elements may be depicted as shown in IEC Publication 617-12. All external components required to implement the facility should be shown or referred to in a table.

Any interrupted line should be appropriately cross-referenced in accordance with IEC Publication 113-4.

9. Complex logic units

The correct way to represent a complex logic unit is to use a symbol developed in accordance with the rules given in IEC Publication 617-12. If this is not desirable owing to the complexity of the function, then the symbol used can be a simple rectangle containing a description of the function or a reference to appropriate documentation. Standard labels should be used for inputs and outputs when possible.

If a symbol for a complex function has to be repeated on a diagram, the repetitions may be shown as simple rectangles with appropriate references.

10. Symbols for logic elements

Preferably each logic element should be shown by that symbol which best depicts the logic function actually performed by the element in the system. Thus, in Figure 2, page 28, the same type of hardware element (designated D3) is represented once by the symbol for an OR element with negated inputs and elsewhere by the symbol for an AND element with negated output (NAND).

Additional information is provided in Appendix B.

11. Labelling of lines

11.1 General

Labelling of lines can greatly promote the understanding of a diagram and facilitate the maintenance of a logic system provided that the signals are named intelligently and the name allocation is based on carefully named system functions.

Signal line names should be informative and unambiguous. The space available on the diagram or allocated in the data file usually limits the allowable length of signal names. Identical names shall not be applied to different signal lines, no matter how similar the

de signaux différents, quelle que soit la similitude de fonction. Il faut s'efforcer d'utiliser des désignations mnémoniques avec des abréviations normalisées (voir les exemples des figures 2 et 3, pages 28 et 29). Les désignations mnémoniques et abréviations utilisées sont à expliciter sur le schéma ou dans une documentation s'y rapportant.

Dans le cas général, les caractères composant l'identification d'un signal peuvent fournir trois types d'information:

la première, une information par références sous forme de renvoi;

la deuxième, « dénomination du signal », donne généralement une information fonctionnelle;

la troisième (utilisée seulement dans les schémas avec l'indicateur de polarité) indique l'état logique vrai d'une fonction avec son niveau logique.

Seules les deux derniers types d'information sont traités dans la présente norme.

11.2 Dénomination des signaux

La dénomination d'un signal est l'abréviation d'une affirmation qui peut être vraie ou fausse. Par exemple, la dénomination ALARM est associée à l'affirmation « L'ALARME EST ACTIONNÉE ».

Un signal donné et son complément sont souvent nécessaires sur un logigramme binaire. La meilleure méthode pour désigner le complément est de surmonter d'une barre de complémentarité la désignation du signal, par exemple: ALARM, $\overline{\text{ALARM}}$.

Si une notation en alignement peut seule être utilisée, celle adoptée pour spécifier la complémentarité doit être explicitée sur le schéma ou dans une documentation s'y rapportant, par exemple ALARM-N.

Convention: La relation entre la valeur vraie d'une affirmation désignant un signal et l'état logique d'une variable binaire constituant le signal est fixée par la convention générale suivante:

Vrai correspond toujours à l'état logique 1.

Faux correspond toujours à l'état logique 0.

Par exemple: la dénomination ALARM implique que si ALARM est vrai, le signal est à l'état logique 1 — inversement, $\overline{\text{ALARM}}$ implique que si ALARM est vrai, le signal est à l'état logique 0.

Quand on utilise une *convention logique unique* à toutes les entrées et sorties (par exemple logique positive ou logique négative), cela définit la relation entre états logiques et niveaux logiques. Il est donc évident qu'en convention logique positive, « vrai » correspond au niveau logique H et qu'en convention logique négative, « vrai » correspond au niveau logique L.

Quand on utilise l'*indicateur de polarité logique* à chaque entrée ou sortie, il est préférable d'ajouter, entre parenthèses, le niveau logique pour lequel l'affirmation représentée par le signal est vraie, par exemple ALARM(L) ou ALARM(H).

11.2.1 Recommandations générales pour le choix des dénominations symboliques

Lorsque la place le permet, des abréviations mnémoniques sont préférables à de trop simples abréviations. Par exemple SELDEV1 est plus parlant que SD1 pour exprimer « Sélection Dispositif 1 (SELECT DEVICE 1) ».

function. Every effort should be made to use mnemonic names and standard abbreviations (for examples, see Figures 2 and 3, pages 28 and 29). The mnemonics and abbreviations used should be explained on the diagram or in supporting documentation.

In general, the characters comprising the total signal identification provides three types of information:

the first gives signal cross-reference information;

the second, referred to in this standard as the signal name, gives generally a functional description;

the third (used only on diagrams employing the polarity indicator) gives information which relates the logical truth of a function with its logic level.

Only the second and third types of information are dealt with in this standard.

11.2 Signal names

The signal name is an abbreviation of a statement which can be either true or false. For example: the name ALARM is associated with the statement "ALARM IS ACTIVATED".

True and complement signals of the same function are often required on binary logic diagrams. The preferred method to denote the complement of a signal is by use of a negation bar over the signal name, thus: ALARM, ALARM.

If only an in-line notation can be used, the notation adopted to designate the complementary signals shall be explained on the diagram or in supporting documentation, for example ALARM-N.

Convention: The relation between the true value of a statement, represented by a signal name, and the logic state of the binary-digital variable assigned to the signal with that signal name, is given by the following general convention:

True always corresponds to the logic 1-state.

False always corresponds to the logic 0-state.

For example: the signal name ALARM implies that if ALARM is true, the signal is in its 1-state. Conversely, ALARM implies that if ALARM is true, the signal is in its 0-state.

When a *single logic convention* is used for all inputs and outputs (i.e. positive or negative logic), this defines the relationship between logic states and logic levels. Thus, if the positive logic convention is in force, true always corresponds to the logic H-level and, if the negative logic convention is in force, true corresponds to the logic L-level.

When the *logic polarity indicator* is used for each input and output, the signal name should preferably be followed by the logic level (between brackets) for which the statement represented by the signal name is true, e.g. ALARM(L) or ALARM(H).

11.2.1 General rules for signal name allocations

If space permits, easy to understand mnemonics should be used instead of short notations. For example, SELDEV1 rather than SD1 would better convey the meaning (SELECT DEVICE 1).

La dénomination d'un signal doit être changée chaque fois qu'un signal est combiné à un autre, est temporisé, haché, mis en mémoire ou change de fonction en quelque manière; voir les exemples 4 et 7. Au contraire, elle n'a pas à être changée s'il est inversé, amplifié, modifié en niveau (voir l'exemple 6 du paragraphe 11.2.11).

Autant que possible, un signal sera désigné par la fonction qu'il accomplit plutôt que par les signaux dont il résulte. Considérons un opérateur combinant deux signaux PRUN et TP6 pour actionner une bascule bistable désignée par RUN. Si le signal de sortie est appelé SETRUN, sa fonction est évidente. S'il est appelé PRUNTP6, son emploi est hypothétique (voir l'exemple 1).

Quant aux signaux assurant diverses fonctions, il est malaisé de les dénommer d'après leur usage. Par exemple, une alternance « Lecture ou Ecriture » est une commande très utilisée. Il convient alors de dénommer le signal RD/WR (READ or WRITE) (voir l'exemple 2).

Une confusion peut apparaître quand la valeur vraie d'un signal provoque une certaine action et sa valeur fausse une autre. Par exemple, une bascule bistable peut choisir un dispositif A lorsqu'elle est à l'état zéro et un dispositif B lorsqu'elle est à l'état un. Dans un tel cas, il vaut mieux ne se référer ni à A ni à B, mais adopter une dénomination telle que SELDEV, avec une note sur le schéma précisant le choix entre le dispositif A et le dispositif B.

Une dénomination de signal contenant une négation, telle NORUN, nécessite une déduction mentale à éviter. Une dénomination « vraie » est préférable. Ainsi STOP ou HALT peut être substitué à NORUN.

11.2.2 *Caractères à utiliser*

La dénomination des signaux doit être composée avec des caractères usuels, à l'exclusion des lettres minuscules. Un blanc (espace) peut être utilisé, bien que l'usage du point soit souvent plus avantageux comme moyen de séparation.

Le recours à l'automatisation dans la conception peut introduire certaines contraintes dans le choix des caractères et la longueur des désignations.

11.2.3 *Emploi de symboles numériques*

Si une même fonction intervient plus d'une fois, la même dénomination est à attribuer à chacune d'elles en les différenciant par un symbole numérique. Par exemple, plusieurs inverseurs ou amplificateurs conduits par le même signal recevront la même désignation suivie de numéros différents. Ainsi STOP-1 et STOP-2 seront les signaux de sortie de deux inverseurs actionnés par le même signal STOP (voir les exemples 5, 6, 9 et 10).

11.2.4 *Langue*

Il n'y a pas de restriction à l'emploi d'une langue pour la formation des dénominations. Il n'est toutefois pas nécessaire de traduire littéralement les dénominations des signaux figurant dans la présente norme.

11.2.5 *Impulsions d'horloges*

Une horloge mère et toutes les horloges dérivées peuvent être désignées par CP (Clock Pulse) et identifiées par la période. Si, par exemple, celle de l'horloge mère est 25 ns, son symbole sera CP25N. Les horloges qui en sont dérivées seront dénommées CP50N, CP100N, etc.

A signal name must be changed whenever the signal is gated with another, is delayed, chopped, stored, or changes its function in any way; see examples 4 and 7. On the contrary, no signal may change its name as a result of being inverted, amplified, or level shifted (see example 6 in Sub-clause 11.2.11).

Where possible, signals should be named by the function they perform instead of by the signals that generate them. Assume that a signal, PRUN, is gated with a second signal, TP6, to set a bistable element called RUN. If the output signal is called SETRUN, its function is obvious. However, if it is called PRUNTP6 its use is open to speculation (see example 1).

Other signals perform such varied functions that it is not feasible to label them according to their use. For example, the alternative instructions to READ or WRITE may control large blocks of logic. In this event it would be proper to name the signal RD/WR (READ or WRITE); see example 2.

Confusion sometimes occurs in assigning signal names when the true value causes one action and the false value causes a different action. For example, a bistable element may select device A when cleared and device B when set. In this event the signal name should not refer to either device A or B. It should be such as SELDEV with a note on the drawing to explain the selection of device A or B.

Signal names that embody an inherent negative, such as NORUN, sometimes require mental somersaults, and are therefore naturally difficult to understand. If possible, such signal names should be made inherently true; e.g. STOP or HALT can be substituted for NORUN.

11.2.2 *Recommended characters for signal names*

Signal names should be composed from standard character sets, excluding lower-case letters. Also, a single character space may be used where necessary although the use of the dot as a separator often proves advantageous over the space.

Design automation may place certain constraints on the use of characters and the length of signal names.

11.2.3 *Use of serial numbers*

If the same function is generated more than once, each occurrence should have the same signal name and be identified by a different serial number. For example, multiple negators or amplifiers driven by the same signal would have the same signal name, but different serial numbers. Thus, STOP-1 and STOP-2 may be the output signals of two negators which are both driven by the signal STOP (see examples 5, 6, 9 and 10).

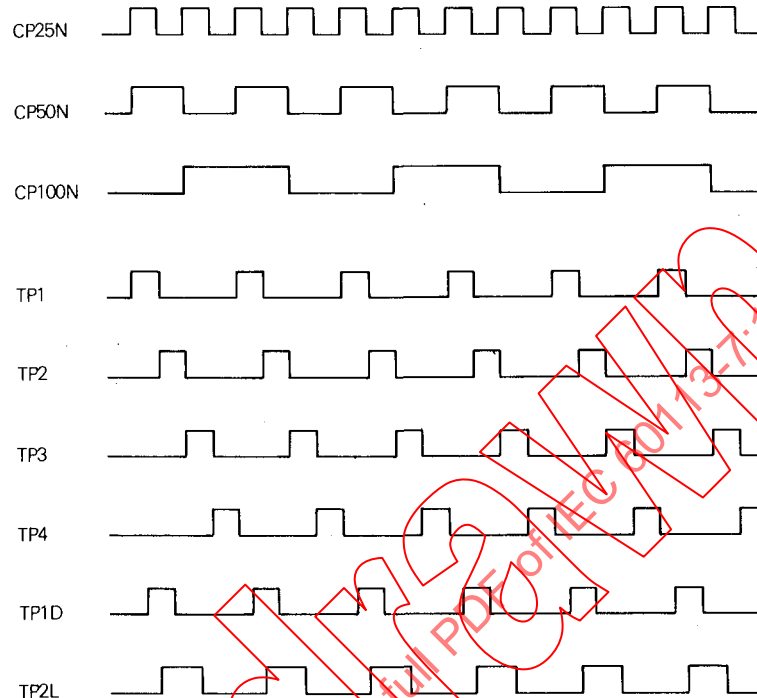
11.2.4 *Language requirements*

There is no restriction as to the use of a language for the formation of signal names. The signal names used in this standard may therefore not necessarily be translated literally when using another language.

11.2.5 *Clock pulses*

The basic clock and all clocks derived therefrom may be designated by CP (Clock Pulse) and identified by the clock period. If the basic clock period is, for example, 25 ns, the mnemonic might be CP25N. Clocks derived from the basic clock might then be termed CP50N, CP100N, and so on.

Les impulsions temporelles dérivées des impulsions d'horloges peuvent être désignées par TP et identifiées par un numéro d'ordre indiquant leurs ordres d'apparition respectifs.



Des impulsions retardées, allongées ou raccourcies peuvent être respectivement distinguées par les suffixes D, L ou S. TP1D, TP2L, TP2DL, TP4S symbolisent de telles impulsions.

11.2.6 Signaux de bascules bistables

Les signaux de sortie des bascules bistables présentent généralement les mêmes niveaux logiques que les signaux issus d'opérateurs combinatoires. Il n'est donc pas nécessaire de les distinguer d'autres signaux de sorties; voir les exemples 7 et 8. S'il est désirable d'alerter le lecteur sur un signal issu d'une bascule bistable, le suffixe FF peut être utilisé; par exemple STARTFF, etc. (voir l'exemple 9).

11.2.7 Représentation des relations logiques OU et ET

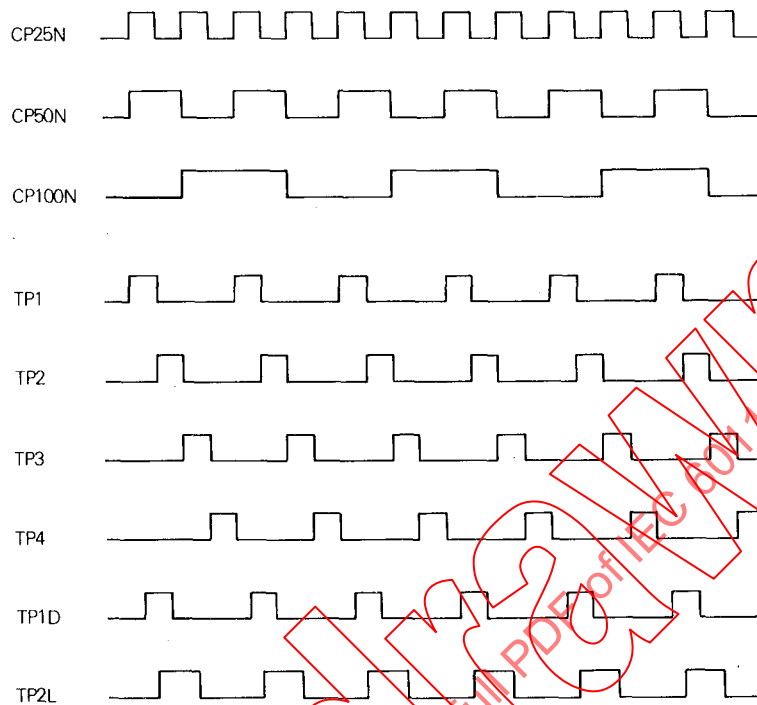
Dans certains cas particuliers, on peut indiquer une relation OU par une barre inclinée «/» et une relation ET par une simple juxtaposition. Par exemple RD/WR et PRUN sont de tels signaux (voir les exemples 2 et 1).

Il est recommandé de ne pas introduire d'équation logique dans une dénomination de signal.

11.2.8 Addition et soustraction

Le signe plus « + » indique une addition algébrique et le signe moins « - » une soustraction algébrique, par exemple MAR+1 est mnémonique pour le contenu d'un registre d'adresse mémoire augmenté de 1.

The timing pulses derived from the clock pulses may be designated by TP and identified by a serial number which indicates their respective order of appearance.



Pulses which are delayed, stretched or shortened may be identified by a suffix D, L or S respectively. TP1D, TP2L, TP2DL, TP4S may represent such pulses.

11.2.6 Signals of bistable elements

The output signals of bistable elements usually exhibit the same logic levels as signals from combinative elements. It is therefore not necessary to distinguish them from other outputs; see examples 7 and 8. However, if it is desirable to alert the user to the fact that he is dealing with a signal originating at a bistable element the suffix FF may be used; e.g. STARTFF, etc.; see example 9.

11.2.7 Representation of logical OR and AND

In special cases it may be useful to employ the solidus “/” as the logical OR symbol and normal juxtaposition to indicate the logical AND. For example, RD/WR and PRUN may be such signals (see examples 2 and 1).

The use of logic equations in signal names is not recommended.

11.2.8 Addition and subtraction

The plus “+” sign denotes algebraic addition and the minus “-” sign denotes algebraic subtraction; for example, MAR + 1 may be the mnemonic for “Memory Address Register Plus 1”.

11.2.9 *Libellés pour éléments binaires et multiplets*

Pour respecter le sens normal de lecture, les éléments binaires vont de préférence du moins significatif (0) au plus significatif en progressant par valeurs successives du haut vers le bas ou de la gauche vers la droite. Par exemple, les 32 lignes pour un registre intermédiaire peuvent être libellées IR00 à IR31. Si une autre convention est utilisée, par exemple IR00 $\triangleq$ MSB (« Most Significant Bit ») et IR31 $\triangleq$ LSB (« Least Significant Bit »), elle doit être clairement stipulée sur le schéma ou dans un document s'y rapportant.

Les éléments de parité ou les éléments de contrôle peuvent être désignés respectivement par « P » et « C » et rattachés à l'élément binaire concerné par un suffixe numéral. Par exemple, MRP3 représente l'élément de parité du multiplet 3 du registre à mémoire.

11.2.10 *Liaison multiplet*

Une liaison multiplet peut être désignée par « BUS ». Par exemple, CBUS00 peut désigner le signal de la ligne 00 de la liaison multiplet C.

11.2.9 *Bit and byte labelling*

To accord with the normal order of reading, bit and byte labelling should proceed from the least significant (0) to the most significant. Representation should then be in ascending order of significance from top to bottom or from left to right. For example, the 32 lines of an intermediate register may be labelled IR00 to IR31. If any other convention is used, it should be explained on the diagram or in supporting documentation, e.g. IR00 $\triangleq$ MSB (Most Significant Bit) and IR31 $\triangleq$ LSB (Least Significant Bit).

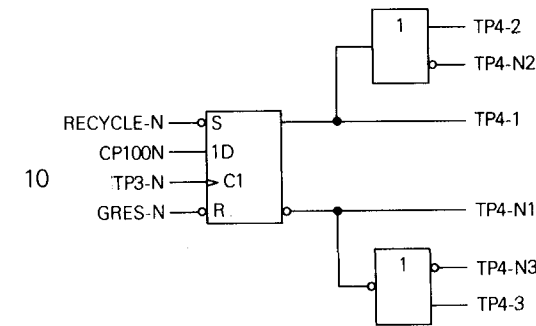
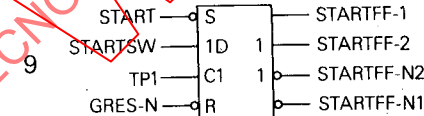
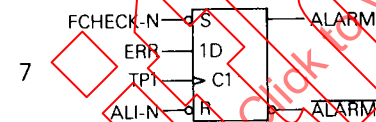
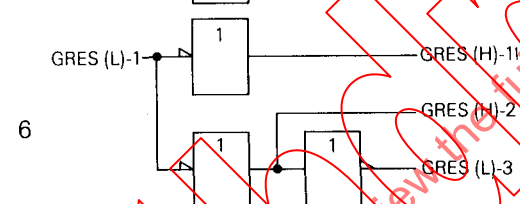
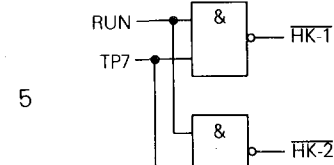
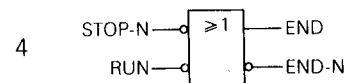
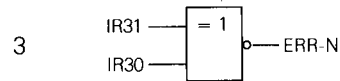
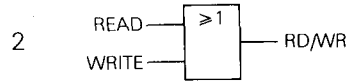
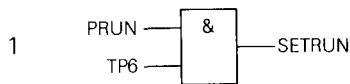
Parity bits and check bits may be designated by “P” and “C” respectively and related to the corresponding byte by a suffix number. For example, MRP3 may represent the parity bit of byte 3 of the memory register.

11.2.10 *Bus lines*

Bus lines may be designated by the term “BUS”. For example, CBUS00 may be the signal name for line 00 on bus C.

Withdrawing
IECNORM.COM: Click to view the full PDF of IEC 60113-7:1997

11.2.11 Exemples de dénominations de signal



Désignation d'une sortie non complétée d'un opérateur combinatoire.

PRUN signifie «Préparation Marché» (PRE RUN) et TP6 «Impulsion Temporelle 6» (TIMING PULSE 6).

Expression d'une alternance faisant partie d'une dénomination de signal.

RD/WR signifie «Lecture ou Ecriture» (READ OR WRITE).

Désignation d'une sortie complétée d'un opérateur combinatoire (notation en caractères alignés).

ERR signifie «Erreur» et IR «Registre Intermédiaire» (INTERMEDIATE REGISTER).

Désignation des sorties complémentaires d'un opérateur combinatoire (notation en caractères alignés).

Utilisation de symboles numériques pour identifier deux sorties transmettant le même signal.

HK désigne un gardiennage (HOUSEKEEPING).

Utilisation de symboles numériques pour identifier les diverses branches d'un signal inversé et amplifié.

GRES signifie «Mise à zéro générale» (GENERAL RESET).

Désignation des sorties complémentaires d'une bascule bistable.

FCHECK signifie «Contrôle de Fonction» (FUNCTION CHECK) et ALI «Blocage d'alarme» (ALARM INHIBIT).

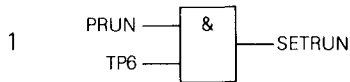
Désignation des sorties complémentaires d'un ensemble bistable réalisé par des opérateurs ET, OU et NON.

RESRUN signifie «Mise au repos» (RESET RUN).

Désignation des sorties complémentaires des deux étages «maître» et «esclave» de bascules bistables quand il y a lieu de faire ressortir que ces signaux sont émis par une bascule bistable.

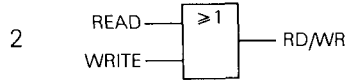
Utilisation généralisée de symboles numériques pour identifier les différentes branches d'un signal émis par une bascule bistable.

11.2.11 Examples of signal name allocation



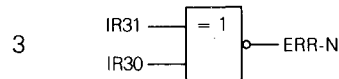
Labelling of a non-negated output of a combinative element.

PRUN may stand for PRE RUN and TP6 for TIMING PULSE 6.



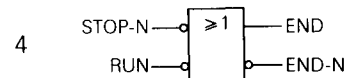
Expression of alternatives as part of a signal name.

RD/WR here stands for READ OR WRITE.

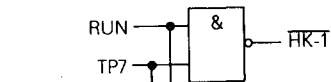


Labelling of a negated output of a combinative element in in-line notation.

ERR may stand for ERROR and IR for INTERMEDIATE REGISTER.

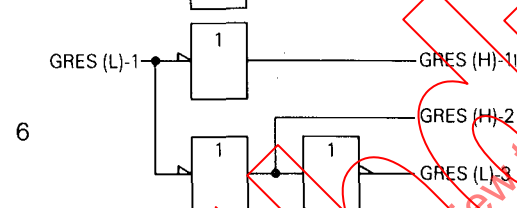


Labelling of the complementary outputs of a combinative element in in-line notation.



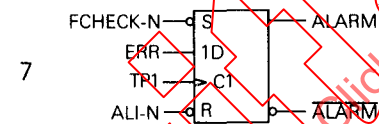
Use of serial numbers to identify two outputs carrying the same signal.

HK may stand for HOUSEKEEPING.



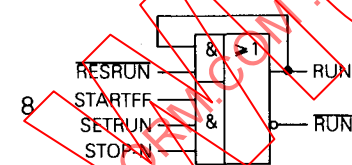
Use of serial numbers to identify the various trees of a signal being inverted and amplified.

GRES may stand for GENERAL RESET.



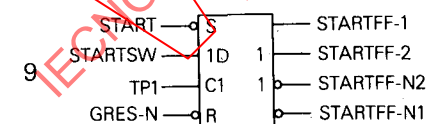
Labelling of the complementary outputs of a bistable element.

FCHECK may stand for FUNCTION CHECK and ALI for ALARM INHIBIT.

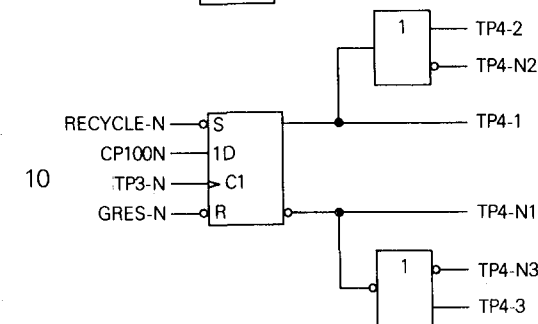


Labelling of the complementary outputs of a bistable element which is wired up from an AND-OR-NOT element.

RESRUN may stand for RESET RUN.



Labelling of the complementary outputs of both the master and slave stages of a bistable element when attention should be drawn to the fact that these signals originate at a bistable element.



Extensive use of serial numbers to identify the various trees of a signal originating at a bistable element.

12. Figuration de formes d'onde

Un tracé en forme d'onde peut être donné pour faciliter la maintenance, le réglage de l'équipement ou pour rendre clair le fonctionnement d'un circuit.

13. Tableaux

Un logigramme peut être complété par:

- a) des tables de vérité;
- b) des tableaux contenant des informations sur les composants et les blocs d'opérateurs utilisés pour réaliser les diverses fonctions;
- c) des tableaux fournissant des informations sur les signaux, leur provenance, leur destination, etc.

14. Représentation des broches agissant soit comme entrée, soit comme sortie

Certains dispositifs comportent des broches servant soit d'entrée, soit de sortie. Il est quelquefois possible de simplifier un logigramme en faisant apparaître la connexion à l'une et à l'autre.

Des exemples figurent dans la Publication 617-12 de la C.E.I.

15. Interaction entre opérateurs logiques et autres dispositifs

Il est souvent nécessaire de représenter l'action d'un opérateur logique sur un dispositif tel qu'une lampe ou un relais ou l'action d'un tel dispositif sur un opérateur logique. Un logigramme technologique fournit généralement des renseignements tels que les valeurs de tension qui permettent au lecteur de connaître les conditions dans lesquelles cette action s'accomplit sans qu'une information complémentaire soit nécessaire. Sur un schéma considérant seulement les états logiques ou dans le cas où une confusion est possible, l'état logique ou le niveau logique correspondant à l'opération désirée peut être indiqué sur le tracé de la connexion, accolé au symbole du dispositif intéressé. L'utilisation du symbole de négation logique ou du symbole de polarité logique à l'accès d'un composant autre qu'un opérateur logique n'est pas autorisée.

12. Use of waveforms

Waveforms may be shown to facilitate maintenance, adjustment of the equipment or to clarify the function of a circuit.

13. Tabular information

A logic diagram may be supplemented by:

- a) truth tables;
- b) tables containing information on components and packaged elements used to implement functions;
- c) tables providing information on signal source, destination, etc.

14. Representation of a pin connection acting at different times as either an input or an output

Some devices have pins that can serve as inputs and outputs. Simplification of a logic diagram can result if such a connection is shown as both an input and an output on the symbol outline.

Examples given in IEC Publication 617-12 show how this should be done.

15. Interaction of logic elements and other devices

It is sometimes necessary to represent a logic element which operates a device such as a lamp or relay, or which is itself operated by such a device. Detailed logic diagrams usually contain information such as voltage levels which enables the reader to deduce the condition under which the required action will occur and no special notation is necessary. On diagrams dealing only with logic states, or in any case where confusion can arise, the logic state or logic level causing the desired operation may be indicated on the connection line adjacent to the symbol for the device. The use of the symbol for logic negation or logic polarity at terminals of other than logic elements is not allowed.

16. Exemples de logigrammes

Les figures 1 à 3, pages 27 à 29, illustrent la mise en œuvre de la présente norme. Afin de faciliter la comparaison entre les différents types de logigrammes, chacune de ces figures reprend le même élément d'un équipement, en l'espèce un générateur d'impulsions temporelles. Une explication des dénominations des signaux utilisés dans ces figures devrait normalement être fournie par une documentation afférente.

Dans la figure 1, des symboles d'opérateurs binaires sont utilisés pour indiquer les conditions de démarrage et d'arrêt de l'oscillateur. Aucune relation avec une réalisation matérielle précise n'est impliquée. De même, les niveaux logiques convenables et réalisés pour chaque signal peuvent être différents de ceux qui sont figurés. Un symbole fonctionnel est utilisé pour le changeur de fréquence.

La figure 2 est un exemple de logigramme qui utilise une logique positive. Ce type de logique, qui est indiqué par une note du schéma, établit la relation entre les niveaux logiques et les états logiques, ce qui fait que les fonctions logiques et les grandeurs physiques correspondantes sont fournies par le schéma.

Tous les détails, sauf l'alimentation des opérateurs logiques binaires, sont indiqués sur le schéma.

La figure 3 est un autre exemple de logigramme qui utilise le symbole de polarité logique. Les valeurs assignées aux niveaux logiques sont précisées par une note du schéma.

16. Examples of logic diagrams

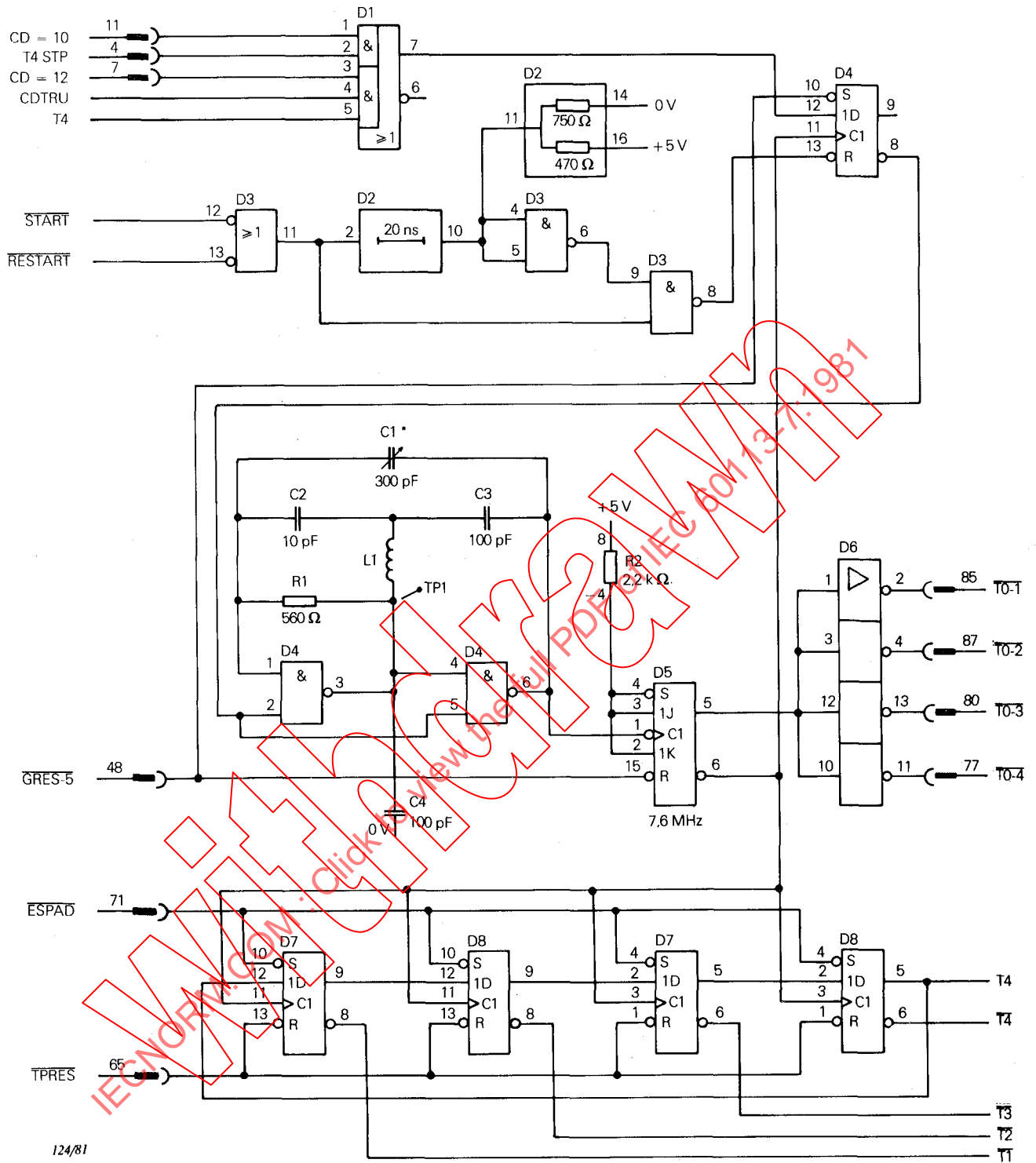
Figures 1 to 3, pages 27 to 29, illustrate the application of the principles given in this standard. To facilitate comparison between the different types of logic diagram, the same part of an equipment, i.e. a timing pulse generator, is shown in each of the figures. An explanation of the signal line names used in these figures would normally appear in supporting documentation.

In Figure 1 symbols for binary logic elements are used to show the conditions which start and stop the oscillator. In this example no relation to the exact physical implementation exists. Also, the actual logic levels available and produced for each signal may be different from those shown. A block symbol is used for the frequency divider (changer).

Figure 2 is an example of a logic diagram using the positive convention. This convention which is stated in a note on the diagram establishes the relationship between logic levels and logic states so that both the logic function and the physical function are represented by the diagram.

Every detail, except the power supply to the binary logic elements, is shown in the diagram.

Figure 3 is an alternative example of a logic diagram using the symbol for logic polarity. The exact logic levels are stated in a note on the diagram.



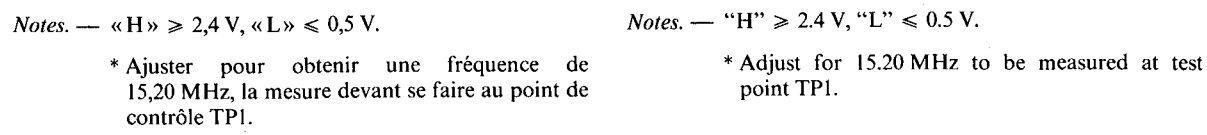
Notes. — Logique positive «1» ≥ 2,4 V, «0» ≤ 0,5 V.

Notes. — Positive logic "1" ≥ 2.4 V, "0" ≤ 0.5 V.

* Ajuster pour obtenir une fréquence de 15,20 MHz, la mesure devant se faire au point de contrôle TP1.

* Adjust for 15.20 MHz, to be measured at test point TP1.

FIG. 2. — Logigramme détaillé utilisant la convention de logique positive et la barre de complémentarité pour les signaux complémentés.
Detailed logic diagram, using positive logic convention and using negation bar for negated signals.



ANNEXE A

ABRÉVIATIONS MNÉMONIQUES COURANTES

Aucun ensemble de règles ne peut éviter au concepteur d'avoir à déterminer judicieusement les désignations des signaux et à l'utilisateur de bien savoir les interpréter.

Le tableau ci-après des abréviations mnémoniques courantes, essentiellement non exhaustif, est une tentative d'unification des principales désignations de signaux pour des systèmes logiques.

D'autres désignations peuvent être attribuées en accord avec les prescriptions de la présente norme, et d'autres significations peuvent être attribuées aux éléments de ce tableau, si aucune ambiguïté ne peut en résulter.

Les exemples donnés par le tableau ci-après correspondent à des expressions professionnelles typiques en langue anglaise et ne peuvent pas toujours être traduites sans risque de confusion (voir paragraphe 11.2.4 sur le maintien de la langue d'origine).

APPENDIX A

COMMONLY USED MNEMONICS

No set of rules can avoid the necessity for the designer to exercise good judgement and for the user to know how to interpret the significance of signal names.

The following table of commonly used mnemonics, which necessarily cannot be exhaustive, is an effort to unify some of the main signal names of logic systems.

New signal names may be assigned according to the rules set out in this standard and other meanings may be assigned to the ones listed thereafter, if no ambiguity results.

The examples given in the following table represent typical usage in the English language and cannot all be translated without risk of confusion (see Sub-clause 11.2.4 concerning language requirements).

Symbole Symbol	Légende Legend	Description
ACC	ACCEPTATION	ACCEPT
ACK	accusé de réception	ACKNOWLEDGE
ACT	ACTIVATION	ACTIVATE
ADR	ADRESSE	ADDRESS
ALI	inhibition d'alarme	ALARM INHIBIT
ALU	opérateur arithmétique	ARITHMETIC LOGIC UNIT
BP	signal binaire présent	BIT PRESENT
BCD	DÉCIMAL CODE BINAIRE	BINARY CODED DECIMAL
BCTR	compteur d'éléments binaires (BIT)	BIT COUNTER
BIN	BINAIRE	BINARY
BR	BRANCHEMENT	BRANCH
BUF	tampon	BUFFER
BUS	BUS	BUS
BUSY	occupé	BUSY
BY	multiplét	BYTE
BYSEL	sélection de multiplét	BYTE SELECT
CAR	report; retenue	CARRY
CARP	précalcul de report	CARRY PREDICT
CC	signal d'état	CONDITION CODE
CE	validation de circuit	CHIP ENABLE
CHK	vérification; contrôle	CHECK
CL	horloge	CLOCK
CLA	anticipation de retenue	CARRY LOOK AHEAD

Symbole Symbol	Légende Legend	Description
CLR	effacer	CLEAR
CMD	COMMANDE; instruction	COMMAND
COMP	COMPARAISON	COMPARE
CORR	CORRIGÉ	CORRECTED
CP	impulsion d'horloge; signal d'horloge	CLOCK PULSE
CR	registre de commande	CONTROL REGISTER
CRC	CONTRÔLE DE REDONDANCE CYCLIQUE	CYCLE REDUNDANCY CHECK
CS	mémoire de commande	CONTROL STORE
CT	COMPTAGE	COUNT
CTR	COMPTEUR	COUNTER
CY	CYCLE	CYCLE
D	DONNÉES	DATA
DACC	DONNÉES ACCEPTÉES	DATA ACCEPTED
DBY	multiplét de données	DATA BYTE
DD	double retard	DOUBLE DELAY
DEC	DÉCIMAL	DECIMAL
DEL	retard	DELAY
DEV	dispositif	DEVICE
DEVCLR	dispositif vide	DEVICE CLEAR
DIN	données entrées	DATA IN
DOUT	données sorties	DATA OUT
DR	registre de données	DATA REGISTER
DVLD	validation des données	DATA VALID
DWN	immobilisation; bas	DOWN
ECR	registre de contrôle d'erreur	ERROR CONTROL REGISTER
EN	validation	ENABLE
END	fin	END
EO	opération élémentaire	ELEMENTARY OPERATION
ERASE	oblitérer	ERASE
ERR	ERREUR	ERROR
EW	mot d'erreur	ERROR WORD
EXOR	disjonction; ou exclusif	EXCLUSIVE OR
F	FONCTION	FUNCTION
FB	premier bit	FIRST BIT
FBY	premier multiplét	FIRST BYTE
FF	basculé bistable	FLIP-FLOP
FIFO	premier entré — premier sorti	FIRST IN — FIRST OUT
FM	mémoire rapide	FAST MEMORY
FSEL	choix de fonction	FUNCTION SELECT
G	porte	GATE
GEN	GÉNÉRATION	GENERATE
GM	mémoire principale	GENERAL MEMORY
GND	terre	GROUND
GOON	poursuite	GO ON
GRES	remise à zéro générale	GENERAL RESET
H	maintien	HOLDING
HERR	erreur de frappe	HAMMING ERROR
HEX	HEXADECIMAL	HEXADECIMAL
HK	gardiennage	HOUSEKEEPING
HO	de poids fort; de rang supérieur	HIGH ORDER
HR	registre de maintien	HOLDING REGISTER
ICAR	report initial; retenue initiale	INITIAL CARRY
ID	IDENTIFICATION	IDENTIFICATION
INH	INHIBITION	INHIBIT
INOP	non exploitable	INOPERABLE
INT	INTERRUPTION	INTERRUPT
I/O	entrées-sorties	INPUT/OUTPUT
IR	registre intermédiaire	INTERMEDIATE REGISTER

Symbole Symbol	Légende Legend	Description
KT	CONTACT	CONTACT
L	à gauche	LEFT
LD	chargement; charger	LOAD
LO	de poids faible; de rang inférieur	LOW ORDER
LOC	emplacement	LOCATION
LOG1	UN LOGIQUE	LOGICAL ONE
LOGZ	ZÉRO LOGIQUE	LOGICAL ZERO
LP	impulsion locale	LOCAL PULSE
LRC	contrôle par redondance longitudinale	LONGITUDINAL REDUNDANCY CHECK
LS	mémoire locale	LOCAL STORAGE
LSB	bit de poids le plus faible	LEAST SIGNIFICANT BIT
LT	voyant	LIGHT
MAR	registre d'adresses mémorisées	MEMORY ADDRESS REGISTER
MCR	registre de microcode	MICROCODE REGISTER
MM	mémoire principale	MAIN MEMORY
MMPE	erreur de parité en mémoire principale	MAIN MEMORY PARITY ERROR
MOD	MODIFICATEUR	MODIFIER
MOT	MOTEUR	MOTOR
MPX	MULTIPLEXAGE	MULTIPLEX
MR	registre mémoire	MEMORY REGISTER
MSB	bit de poids le plus élevé	MOST SIGNIFICANT BIT
MUX	MULTIPLEXEUR	MULTIPLEXER
N	NÉGATION	NEGATION
NC	NORMALEMENT CLOS	NORMALLY CLOSED
NO	NORMALEMENT OUVERT	NORMALLY OPEN
OCT	OCTAL	OCTAL
OP	OPÉRATION	OPERATION
OPER	exploitable	OPERABLE
OPR	registre d'opération	OPERATION REGISTER
P	PRÉ-(antériorité)	PRE-
PAR	PARITÉ	PARITY
PC	compteur du programme	PROGRAM COUNTER
PCI	interruption programmée	PROGRAM CONTROLLED INTERRUPT
PE	erreur de parité	PARITY ERROR
PF	pré-extraction	PRE-FETCH
PON	sous tension	POWER ON
PPON	processeur sous tension	PROCESSOR POWER ON
PS	état du programme	PROGRAM STATUS
PU	extraction	PULL-UP
R	à droite	RIGHT
RD	lecture	READ
RDY	prêt	READY
RE	RE (répétition)	RE-
REG	REGISTRE	REGISTER
REJ	REJET	REJECT
REQ	interrogation; demande	REQUEST
RES	mise à zéro; remise à l'état initial	RESET
RGM	matrice de régénération	REGENERATION MATRIX
RO	sortie de lecture	READ OUT
ROM	mémoire morte	READ ONLY MEMORY
RUN	marche	RUN
RX	RÉCEPTION	RECEIVE
RZ	RÉSULTAT NUL	RESULT ZERO
SCAR	retenue finale	SUM CARRY
SEL	SÉLECTION	SELECT
SELDEL	dispositif de sélection	SELECT DEVICE
SET	positionnement; mise à « 1 »	SET

Symbole Symbol	Légende Legend	Description
SH	décalage	SHIFT
SIM	SIMULATION	SIMULATION
SIMC	retenue simulée	SIMULATION CARRY
SRQ	demande de service	SERVICE REQUEST
START	mise en marche; début	START
STBY	multiplot d'état	STATUS BYTE
STOP	ARRÊT	STOP
STR	signal d'échantillonnage	STROBE
SW	aiguillage; commutation	SWITCH
SYNC	SYNCHRONISATION	SYNCHRONIZATION
TERM	fin	TERMINATE
TG	bascule bistable	TOGGLE
TO	transfert	TO (transfer)
TP	impulsion temporelle	TIME PULSE
TRAC	commande de transmission	TRANSMIT CONTROL
TRIG	déclencheur	TRIGGER
TX	transmission	TRANSMISSION
U	en haut	UP
UR	registre de service	UTILITY REGISTER
VAR	registre d'adresses virtuelles	VIRTUAL ADDRESS REGISTER
WC	commande d'écriture	WRITE CONTROL
WI	entrée d'écriture	WRITE IN
WR	écriture	WRITE
WRAP	balayage; bouclage	WRAP AROUND

ANNEXE B

GUIDE POUR LA SIGNIFICATION, L'INTERPRÉTATION ET LA SÉLECTION DES SYMBOLES D'OPÉRATEURS LOGIQUES

B1. Objet

La présente annexe expose la signification et l'interprétation des symboles logiques.

B2. Etats logiques et niveaux logiques

La logique binaire se rapporte à des variables qui peuvent prendre un parmi deux états. Ceux-ci peuvent être désignés par des termes tels que « En service » et « Hors service », « Oui » et « Non », « Vrai » et « Faux », mais plus généralement par « Etat logique 1 » et « Etat logique 0 ».

Les symboles distinctifs des fonctions logiques dans la Publication 617-12 de la C.E.I. donnent la relation entre les *états logiques* des entrées et ceux des sorties. Ils peuvent donc être utilisés pour des schémas de conception abstraite sans qu'il puisse y avoir de difficulté d'interprétation. A ce stade, il n'est pas utile de savoir quel matériel (électrique, fluïdique, etc.) serait éventuellement utilisé pour la réalisation correspondante.

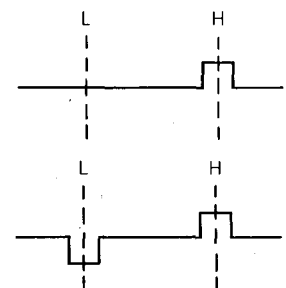
Dès que les types des matériels sont choisis pour remplir les fonctions logiques désirées, il devient nécessaire de définir la grandeur physique qui matérialisera ces états logiques. Pour des dispositifs électriques, il est d'usage que cette grandeur soit le potentiel électrique dont on fixe les valeurs correspondant à chaque état logique. D'autres méthodes possibles sont précisées au paragraphe 2.1. Ces valeurs sont généralement considérées, sans faire appel à des chiffres exacts, par leurs valeurs relatives, respectivement la plus positive H et la moins positive L. Ces valeurs sont appelées *niveaux logiques*.

Une claire compréhension de la distinction entre les concepts d'*état logique* et de *niveau logique* est essentielle pour la suite de cet exposé et une interprétation correcte des symboles logiques.

B2.1 Attribution de paramètres différents des valeurs en régime établi d'une grandeur physique pour réaliser les niveaux logiques H et L

Des paramètres autres que la valeur établie d'une grandeur physique peuvent être utilisés pour réaliser les états logiques, et ces paramètres peuvent être désignés par H et L. Les exemples ci-après indiquent quelques-unes de ces possibilités et montrent comment la correspondance entre les paramètres choisis et les niveaux logiques H et L peut être établie.

- a) Le niveau logique H correspond à la présence d'une impulsion positive à un instant donné.
Le niveau logique L correspond à l'absence d'impulsion à un instant donné.
- b) Le niveau logique H correspond à la présence d'une impulsion positive à un instant donné.
Le niveau logique L correspond à la présence d'une impulsion négative à un instant donné.



APPENDIX B

GUIDE TO THE MEANING, INTERPRETATION AND SELECTION OF LOGIC SYMBOLS

B1. Object

This appendix gives an explanation of the meaning and interpretation of logic symbols.

B2. Logic states and logic levels

Binary logic is concerned with variables, each of which may take up one of two states. These states may be described by terms such as ON and OFF, YES and NO, TRUE and FALSE or more usually as the logic 1-state and the 0-state.

The qualifying symbols for logic functions in IEC Publication 617-12 represent the relationship between the inputs and outputs in terms of *logic states*. They may therefore be used on diagrams representing abstract logic designs and no difficulties of interpretation should arise. At this stage there need be no knowledge of what type of device (electrical, fluidic, etc.) will eventually be used to implement the design.

As soon as hardware items are selected to carry out the desired logic functions it becomes necessary to decide on the physical quantities which will be used to represent the logic states. With electrical devices it is usual to select electric potential as the physical quantity and to assign values to represent the logic states (for other possibilities see Sub-clause 2.1). Absolute figures are not normally used and the values are merely identified as the more positive (High H) or the less positive (Low L) as the case may be. These two values are known as *logic levels*.

A clear understanding of the distinction between the concepts of *logic state* and *logic level* is vital to the correct interpretation and use of logic symbols and to the discussion which follows.

B2.1 Assignment of other parameters of a physical quantity to denote H- and L-logic levels

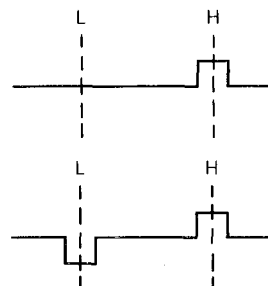
Parameters other than steady values of a physical quantity may be used to represent logic states and these parameters may be denoted by H and L. The following examples indicate some of the possibilities and show how the correspondence between the desired parameters and the H- and L-logic levels may be depicted.

- a) The logic H-level corresponds with the presence of a positive pulse at a specific time.

The logic L-level corresponds with the absence of a pulse at a specific time.

- b) The logic H-level corresponds with the presence of a positive pulse at a specific time.

The logic L-level corresponds with the presence of a negative pulse at a specific time.



B3. Correspondance entre états logiques et niveaux logiques

Quand les symboles logiques sont utilisés pour représenter des dispositifs physiques, il est nécessaire d'établir la correspondance entre chacun des états logiques et les valeurs (niveaux logiques) de la grandeur physique utilisée pour représenter ces états. Deux méthodes fondamentales le permettent:

La première est l'adoption d'une convention unique, soit positive, soit négative pour l'ensemble d'un schéma (voir paragraphe B3.1).

La seconde consiste à employer l'indicateur de polarité logique dont la présence ou l'absence précise cette correspondance à chaque entrée et à chaque sortie de chacun des symboles du schéma (indication de la polarité logique, voir paragraphe B3.2).

B3.1 Convention logique unique

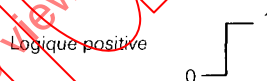
Avec cette méthode, la correspondance entre un état logique donné et un niveau logique est la même à toutes les entrées et sorties sur le schéma.

Le symbole de négation logique est utilisable si nécessaire, *mais l'indicateur de polarité logique ne doit pas être utilisé.*

La convention utilisée, soit positive, soit négative (voir paragraphes B3.1.1 et B3.1.2), doit être clairement indiquée sur le schéma ou une documentation s'y rapportant. Cette stipulation peut utilement figurer sur un graphique en forme d'onde.

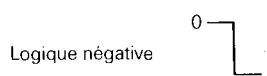
B3.1.1 Convention de logique positive

La valeur la plus positive de la grandeur physique (niveau H) correspond à l'état logique 1. La valeur la moins positive (niveau L) correspond à l'état logique 0. Cela peut être stipulé ainsi sur le schéma:



B3.1.2 Convention de logique négative

La valeur la moins positive de la grandeur physique (niveau L) correspond à l'état logique 1. La valeur la plus positive (niveau H) correspond à l'état logique 0. Cela peut être stipulé ainsi sur le schéma:



B3.2 Utilisation de l'indicateur de polarité logique

Avec cette méthode, la présence de l'indicateur de polarité logique à une entrée ou une sortie donnée signifie que le niveau bas L de la grandeur physique correspond à l'état logique 1 en ce point. L'absence de cet indicateur à une entrée ou une sortie indique que le niveau haut H correspond à l'état 1 en ce point. *Dans cette méthode, le symbole de négation logique ne doit pas être utilisé.*

Il apparaît clairement que ces deux situations correspondent respectivement à l'emploi d'une logique négative (symbole présent) et d'une logique positive (symbole absent). De ce fait, cette méthode est parfois considérée comme utilisant un mélange de logique, mais cette terminologie prêtant à confusion est déconseillée.

B3. Correspondence between logic states and logic levels

When logic symbols are used to represent physical devices it is necessary to establish the correspondence between logic states and the values (logic levels) of the physical quantities used to represent these states. There are basically two methods by which this may be done.

The first is the adoption of a single logic convention, either positive or negative, for the whole diagram (see Sub-clause B3.1).

The second consists of the use of the logic polarity indicator, the presence or absence of which indicates the required correspondence at each input and output of every logic symbol on the diagram (indication by the logic polarity indicator, see Sub-clause B3.2).

B3.1 Single logic convention

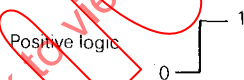
With this method the correspondence between a given logic state and logic level is the same at all inputs and outputs on the diagram.

The symbol for logic negation is used as required, *but the logic polarity indicator must not be used.*

The convention in use, either positive or negative (see Sub-clauses B3.1.1 and B3.1.2), must be clearly stated on the diagram or in supporting documentation. This statement can usefully include a small waveform diagram.

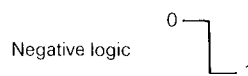
B3.1.1 Positive logic convention

The more positive value of the physical quantity (H-level) corresponds to the logic 1-state. The less positive value (L-level) corresponds with the logic 0-state. This may be stated on a diagram thus:



B3.1.2 Negative logic convention

The less positive value of the physical quantity (L-level) corresponds to the logic 1-state. The more positive value (H-level) corresponds to the logic 0-state. This may be stated on a diagram thus:



B3.2 Indication by logic polarity indicator

With this method the presence of the logic polarity indicator at the specific input or output signifies that the L-level of the physical quantity corresponds with the logic 1-state. Absence of the indicator at a specific input or output indicates that the H-level corresponds to the 1-state at that point. *In this case the logic negation indicator must not be used.*

It will be seen that these two statements correspond respectively with the use of negative logic (with the symbol present) and positive logic (when the symbol is absent). For this reason this method is sometimes described as the use of mixed logic, but, because this term can be confusing, its use is not recommended.

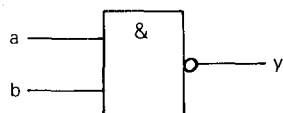
B4. Interprétation des symboles logiques

Pour la clarté de l'exposé, le terme «interconnexion» est employé pour désigner le trait reliant deux symboles d'opérateur d'un schéma. Les symboles distinctifs de négation logique et de polarité logique sont uniquement associés aux symboles des opérateurs logiques et n'appartiennent pas aux interconnexions.

Les paragraphes B4.1 à B4.3 montrent comment différents symboles représentant des opérateurs peuvent être interprétés sur des schémas selon que ceux-ci utilisent soit la convention logique positive, soit la convention logique négative, soit l'indicateur de polarité logique.

B4.1 Exemples en logique positive

B4.1.1 Fonction ET



Etats logiques

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

Niveaux logiques

a	b	c
L	L	L
L	H	L
H	L	L
H	H	H

B4.1.2 Fonction ET-NON



Etats logiques

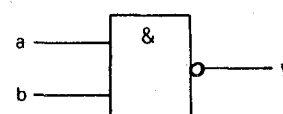
a	b	c
0	0	1
0	1	1
1	0	1
1	1	0

Niveaux logiques

a	b	c
L	L	H
L	H	H
H	L	H
H	H	L

B4.2 Exemples en logique négative

B4.2.1 Fonction ET



Etats logiques

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

Niveaux logiques

a	b	c
H	H	H
H	L	H
L	H	H
L	L	L

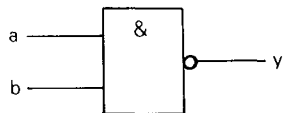
B4. Interpretation of logic symbols

For explanatory purposes it is convenient to employ the term “interconnection” to describe a connecting line between the device symbols on a diagram. Qualifying symbols for logic negation and logic polarity are associated only with symbols for logic elements and are not part of the interconnection.

Sub-clauses B4.1 to B4.3 show how various symbols representing hardware devices may be interpreted on diagrams employing the positive logic convention, the negative logic convention and the logic polarity indicator, respectively.

B4.1 Examples in positive logic

B4.1.1 AND function



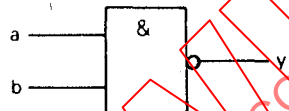
Logic states

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

Logic levels

a	b	c
L	L	L
L	H	L
H	L	L
H	H	H

B4.1.2 NAND function



Logic states

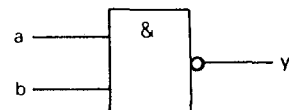
a	b	c
0	0	1
0	1	1
1	0	1
1	1	0

Logic levels

a	b	c
L	L	H
L	H	H
H	L	H
H	H	L

B4.2 Examples in negative logic

B4.2.1 AND function



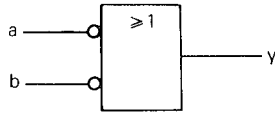
Logic states

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

Logic levels

a	b	c
H	H	H
H	L	H
L	H	H
L	L	L

B4.2.2 Fonction OU



Etats logiques

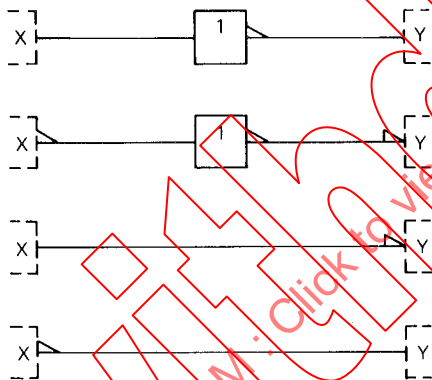
a	b	c
0	0	0
0	1	1
1	0	1
1	1	1

Niveaux logiques

a	b	c
H	H	H
H	L	L
L	H	L
L	L	L

B4.3 Exemples utilisant l'indicateur de polarité logique

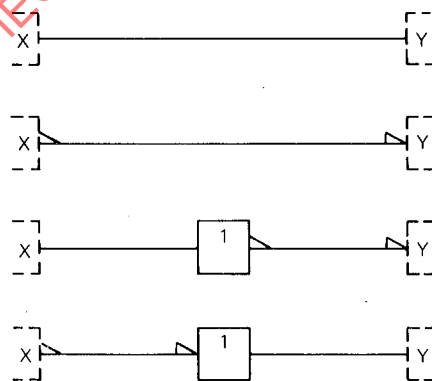
Il est important de réaliser que la présence ou l'absence de l'indicateur de polarité définit seulement quel type de logique est valable à l'entrée ou à la sortie concernée du symbole considéré et cela n'indique pas une inversion d'état logique. Il s'ensuit que la fonction logique NON, étant une inversion d'état logique, ne peut être représentée en utilisant ce symbole de polarité logique. Cependant, il existe quatre possibilités, figurées ci-dessous, de représenter une interconnexion impliquant une négation logique. La nature des opérateurs à chacune des extrémités de l'interconnexion dicte la méthode qui doit être utilisée.



Etats logiques

X	Y
0	1
1	0

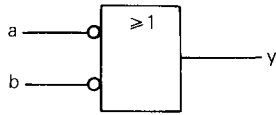
Les figures suivantes montrent les quatre possibilités de représenter une interconnexion n'impliquant pas de négation logique.



Etats logiques

X	Y
0	0
1	1

B4.2.2 OR function



Logic states

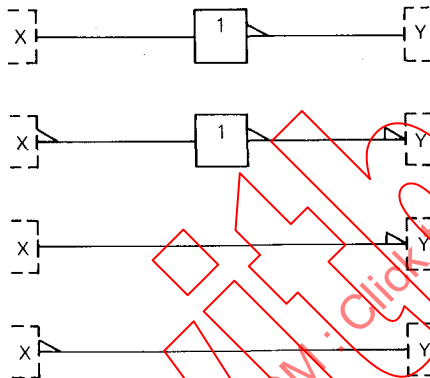
a	b	c
0	0	0
0	1	1
1	0	1
1	1	1

Logic levels

a	b	c
H	H	H
H	L	L
L	H	L
L	L	L

B4.3 Examples using the logic polarity indicator

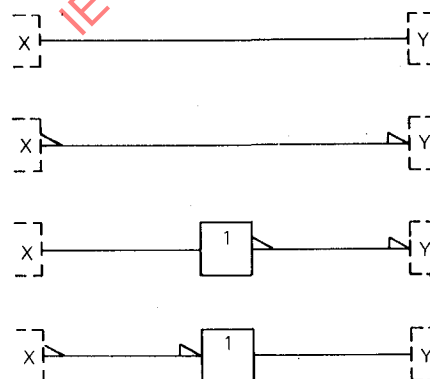
It is important to realize that the presence or absence of the polarity indicator serves only to define which logic convention is in force at the input or output of the basic symbol and that it does not indicate a reversal of logic state. It follows that the logical NOT function, being an inversion of logic state, cannot be represented using the symbol for logic polarity. However, there are four possible ways of depicting an interconnection implying logic negation as shown in the following examples. The elements at each end of the interconnection dictate the way which must be used.



Logic states

X	Y
0	1
1	0

The following figures show the four possible ways of depicting an interconnection without implying logic negation.



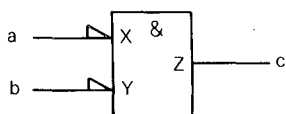
Logic states

X	Y
0	0
1	1

De même, les fonctions ET-NON et OU-NON (NI) ne peuvent être représentées en utilisant l'indicateur de polarité. La comparaison des exemples des paragraphes B4.1.2 et B4.3.4 montre que malgré l'identité des tables en niveaux logiques, les états logiques des sorties des opérateurs sont différents.

Pour des opérateurs dont les types de logique sont différents en entrée et en sortie, il est nécessaire et suffisant de les définir en termes de niveaux sur les interconnexions. Dans les exemples qui suivent, les tables en états logiques sont figurées pour indiquer leur équivalence avec les tables en niveaux logiques.

B4.3.1 ET, entrées actives L



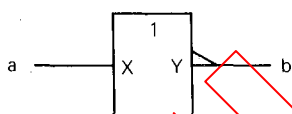
Etats logiques

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

Niveaux logiques

a	b	c
H	H	L
H	L	L
L	H	L
L	L	H

B4.3.2 Inverseur, sortie active L



Etats logiques

X	Y
0	0
1	1

Niveaux logiques

a	b
L	H
H	L

B4.3.3 Inverseur, entrée active L



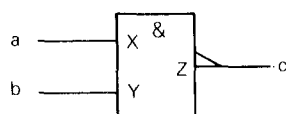
Etats logiques

X	Y
0	0
1	1

Niveaux logiques

a	b
H	L
L	H

B4.3.4 ET, sortie active L



Etats logiques

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

Niveaux logiques

a	b	c
L	L	H
L	H	H
H	L	H
H	H	L